

Manual de la placa suport per DE0-Nano

versio 2.1

març, 2016

1 Connexions de la placa DE0-Nano

A causa de que la placa DE0-Nano, únicament consta de dos expansion header i un header 2x13 per tal de poder connectar-se amb l'exterior, s'ha creat una placa suport que es pot connectar a qualsevol dels dos expansion header i que permet disposar de manera directe de connectors específics com són VGA i PS/2 i comoditats com 4 polsadors addicionals, 2 displays de 7 segments i un header femella 2x7 que permet fer connexions directament amb cables.

Els dos expansion headers consten cada un de 2 pins a GND, 1 a VCC_SYS(5V), 1 a VCC3(3.3V) i 26 pins connectats directament a la FPGA dels quals 2 únicament poden actuar com a entrades, el nom corresponent a cada pin, es mostra a la Figura 1.1.

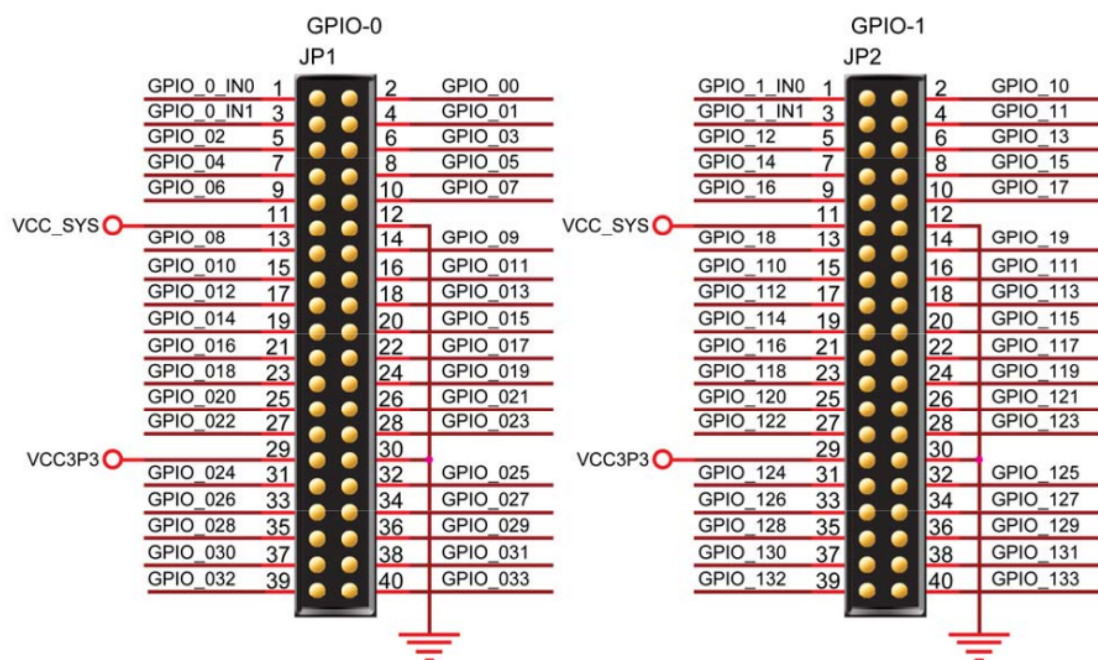


Figura 1.1: Ubicació dels pins corresponents al GPIO expansion headers

A la Figura 1.2, es poden observar la localització física dels diferents connectors, en aquesta mateixa figura hi apareix indicat el pin 1 de cada connector.

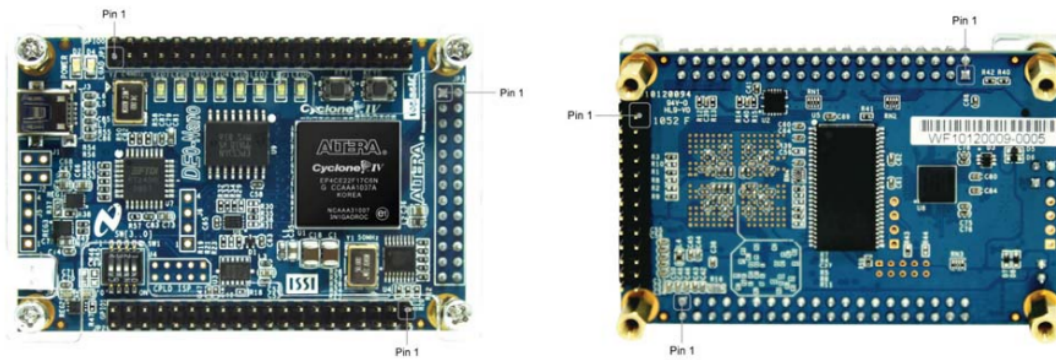


Figura 1.2: Disposició física dels connectors a la placa

Al header 2x13, 8 dels pins corresponen al convertidor A/D tal i com es pot observar a la Figura 1.3 i la resta consten d'una connexió a GND una a VCC3(3.3V) i 16 pins connectats directament a la FPGA dels quals 3 únicament poden actuar com a pins d'entrada.

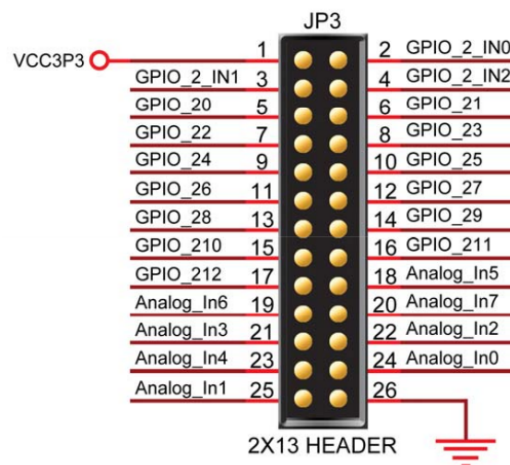


Figura 1.3: Ubicació dels pins corresponents al header 2x13

2 Connexió placa-placa

Per facilitar la feina, disposem del script *DE0NANO_pins_prac_SD* que anomena els pins del expansion header GPIO 0 de tal mode que queden relacionats amb els elements de la placa de suport tal com es mostra a la figura 2.1.

Per utilitzar el clock de 50 MHz que ens proporciona la placa, hem d'anomenar un PIN d'entrada com a **CLOCK_50**. Compte! No confondre amb el GP0_CLK que s'utilitza a la primera pràctica per utilitzar el rellotge del teclat PS/2.

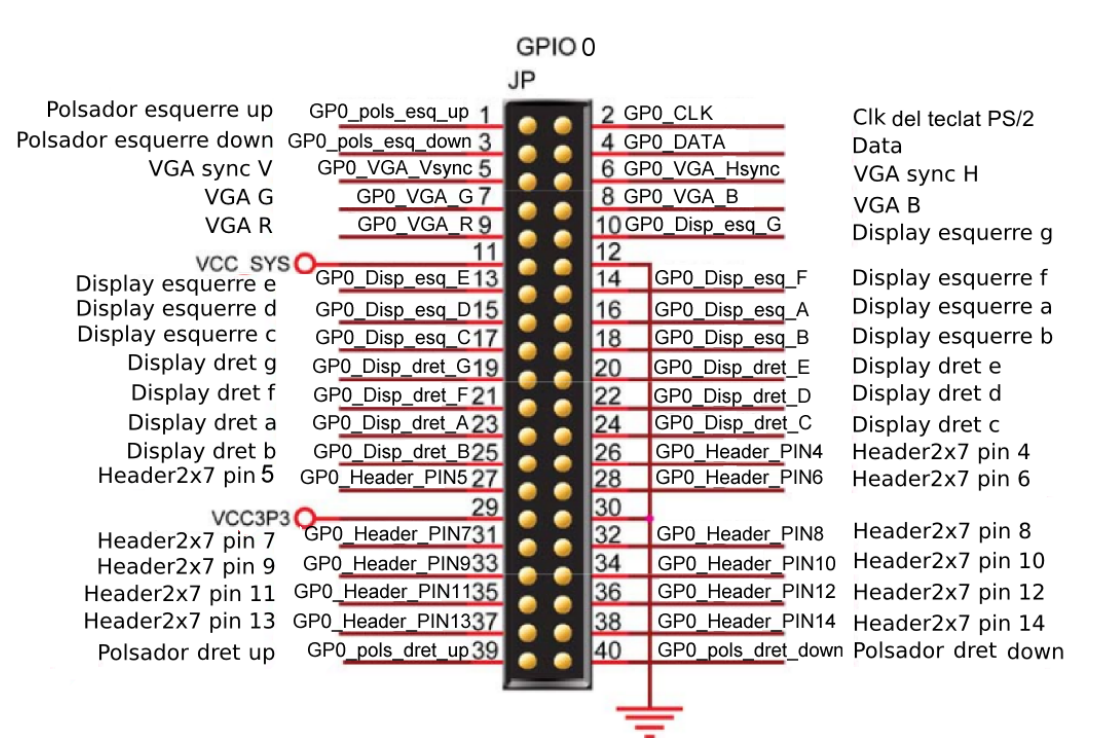


Figura 2.1: Correspondència entre els pins de la placa DE0-Nano i els elements de la placa suport

2.1 Polsadors

Els polsadors utilitzen 4 pins, aquests són, pin 1 polsador esquerre superior, pin 3 polsador esquerre inferior, pin 39 polsador dret superior i pin 40 polsador dret inferior.

2.2 PS/2

El connector PS/2 està connectat a els pins 2 i 4 corresponents al Clock(Clk) i Dades(Data).

2.3 VGA

El connector VGA està connectat a els pins 5 de sincronisme vertical, pin 6 de sincronisme horitzontal, pin 7 corresponent al color verd(G), pin 8 corresponent al color blau(B) i pin 9 corresponent al color vermell(R).

2.4 Display de 7 segments

Els displays de 7 segment segueixen la connexió amb els pins segons la lletra assignada a cada led del display com es mostra a la Figura 2.2.

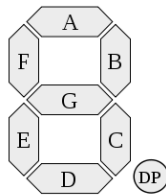


Figura 2.2: Nom dels leds associats a un display de 7 segments

2.5 Header 2x7

Consta de 14 pins que contenen un pin a GND, un pin a VCC3(3V), un pin a VCC5(5V) i 11 pins connectats directament a la FPGA, tal i com es pot apreciar a la Figura 2.3.

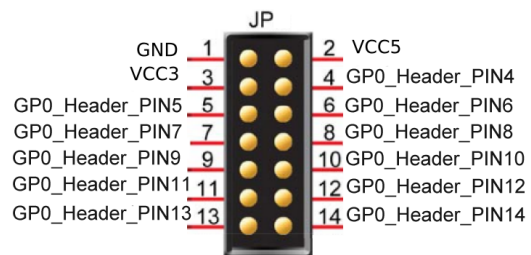


Figura 2.3: Correspondencia entre els pins de la placa DE0-Nano i el header 2x7

3 Recomanacions

Per tal d'assegurar el bon funcionament i ús mitjançant la placa suport, s'han de tenir en compte certs puns.

- Els pins corresponents al header 2x7, estan connectats directament a les sortides de la FPGA, per aquest motiu s'ha d'anar amb compte amb les connexions que es duen a terme, ja que la FPGA té limitació tant de tensió com de corrent.
- La placa suport és una placa monocapa la qual té totes les soldadures a una de les cares, a l'hora de treballar s'ha de comprovar que en cap moment la placa està sobre alguna superfície conductora ja que això produiria un curt circuit entre tots els elements de la placa.