

Sistemes Digitals

Examen Final. 12 de juny de 2017

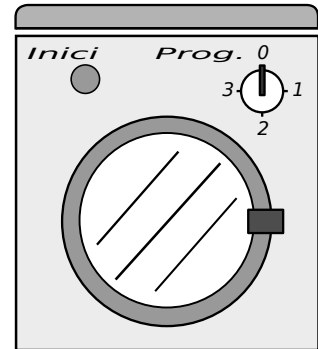
Temps per a la resolució: 2 hores.

1 Problema: Control d'una rentadora (50%)

Considerem una rentadora que permet rentar, esbandir i centrifugar (sempre en aquest ordre). En aquest exercici es pretén dissenyar un sistema per temporitzar-la en funció de quatre programes de rentat (Taula 1).

Programa	Rentat →	Esbandit →	Centrifugat
0:Apagat	-	-	-
1:Auto	10	10	10
2:Especial	30	20	10
3:Ràpid	-	-	15

Taula 1: Temporització del procés de rentat (en minuts)



Per interactuar amb la rentadora l'usuari disposa d'un botó **inici** i un seleccionador de **programa** amb les quatre opcions de la Taula 1. Per rentar la roba cal seleccionar un dels programes 1, 2 o 3 i prémer el botó **inici**.

Una vegada ha començat el rentat, el botó **inici** no té cap efecte i el **programa** no es pot canviar, exceptuant el cas de seleccionar el mode **0:Apagat**, en què s'aturarà el programa i es resetejarà el sistema.

Durant el programa cal indicar a la rentadora quina acció està realitzant (**rentant**, **esbandint** o **centrifugant**) a través de tres connexions d'un sol cable cadascuna.

Dissenyem un mòdul VHDL que ofereixi les funcionalitats descrites. Aquest ha de tenir les entrades **inici** (1 bit), **programa** (2 bits) i el rellotge del sistema **clk** (1 bit). Les sortides han de ser **rentant**, **esbandint** i **centrifugant** (1 bit cadascuna).

Per resoldre l'exercici respongueu a les següents qüestions:

1. El rellotge de sistema té una freqüència de 100 Hz. Si volem temporitzar les esperes de la rentadora utilitzant un sol comptador, quina ha de ser la seva mida? Expliqueu com ho farieu per reduir la mida del comptador utilitzant un **prescaler**.
2. Escriviu l'**entity** i **architecture** del sistema (ha de ser sintetitzable i síncron). Definiu acuradament cadascun dels senyals interns del vostre disseny.
3. Dibuixeu un cronograma que verifiqui el correcte funcionament del sistema.

2 AVR (25%)

Considerem un disseny de processador com el de la Figura 2. Respongueu de forma detallada a les preguntes que hi ha a continuació.

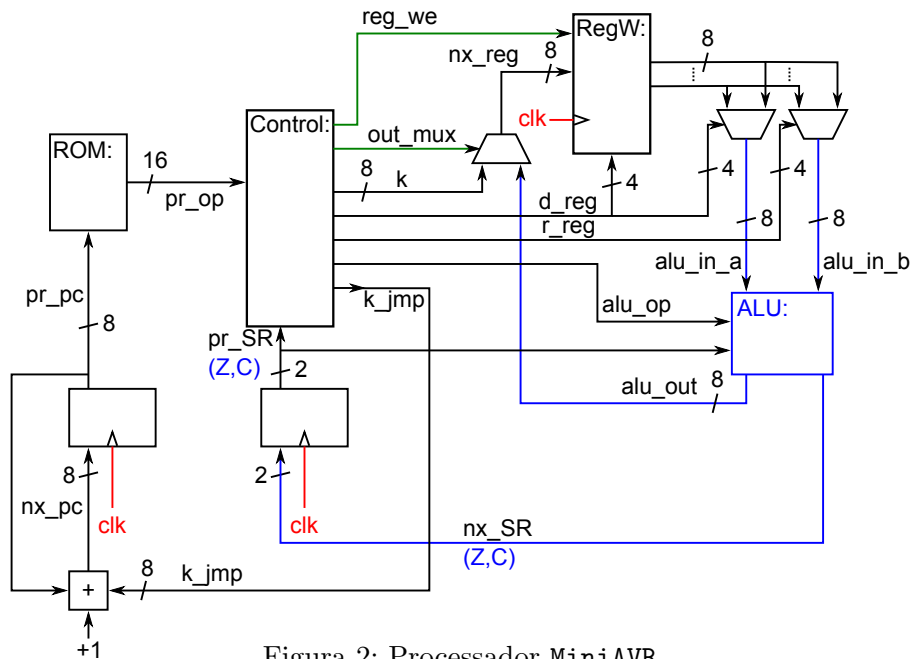


Figura 2: Processador MiniAVR

1. Quina és la funció del bloc Control? Expliqueu les seves entrades i sortides en relació amb els altres blocs del processador.
2. Considerem que la memòria de programa del processador és la següent:

```
when X"00" => pr_op <= LDI & "1111" & c_r16 & "1111";  
when X"01" => pr_op <= ALU_B & ALU_B_EOR & "00" & c_r16 & c_r16;  
when X"02" => pr_op <= LDI & "1111" & c_r16 & "1111";  
when X"03" => pr_op <= ADC & "1111" & c_r16 & c_r16;
```

Dibuixeu el cronograma resultant de l'execució d'aquestes instruccions en el qual es puguin apreciar els canvis d'estat dels senyals més representatius.

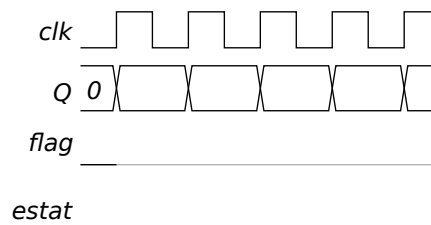
3. A classe hem vist instruccions que realitzen operacions aritmètiques i lògiques a partir dels registres de propòsit general (RegW). Tanmateix, també existeixen instruccions com la ANDI o ORI, en què s'opera entre un registre i un valor immediat inclòs en el propi opcode de la instrucció. Per exemple, l'opcode de la instrucció ANDI és 0111 KKKK dddd KKKK.

Detalleu quins blocs del MiniAVR de la Figura 2 caldria modificar si volguéssim implementar aquestes instruccions. Caldria afegir algun senyal intern en el disseny?

3 Qüestions (25 %)

1. Dibuixeu el cronograma resultant del següent process:

```
signal estat, flag : std_logic := '0';
signal Q : unsigned(1 downto 0) := "00";
begin
process (clk) is
begin
  if rising_edge(clk) then
    if (estat = '1') then
      if (Q = "11") then
        Q <= "00";
      else
        Q <= Q + 1;
      end if;
    end if;
    estat <= not estat;
  end if;
end process;
flag <= '1' when (Q = "01") else '0';
```



2. És possible escriure un codi VHDL equivalent al següent sense utilitzar el procés? En cas afirmatiu, feu-ho simplificant-ne al màxim la sintaxi.

```
process (A, B) is
begin
  Q <= '0';
  if (A = '1') then
    if (B = '1') then
      Q <= '1';
    end if;
  end if;
end process;
```

3. In class we have seen that binary numbers can be represented in two's complement form. Explain the utility of this representation and write an example of arithmetic operation using it (in English: 100% or Catalan: 50%).
4. Write a list of 20 English terms related to Digital Systems together with a translation to Catalan or Spanish.