

Sistemes Digitals

Examen Final. 12 de juny del 2015

Temps per a la resolució: 2 hores.

1 Problema: Estació meteorològica (50%)

Volem dissenyar en VHDL una petita part d'una estació meteorològica. Aquesta part és la que llegeix la temperatura que li arriba d'un sensor i guarda el valor màxim i el mínim. També s'encarrega de que l'usuari pugui escollir, polsant un botó, si vol visualitzar la temperatura actual, la màxima o la mínima. La funció d'aquest botó és circular, és a dir, cada cop que es premi ha de canviar seguint la seqüència següent: t.actual, t.màxima, t.mínima, t.actual ... Amb aquest mateix botó, si es manté premut durant 2 segons, es farà un reset de la màxima i la mínima registrades i es mostrarà la temperatura actual.

Les especificacions del bloc són les següents: com a entrades tindrem un senyal *clk* de rellotge d'1 kHz, un bus *temp* de 8 bits on arriba la temperatura síncronament amb el senyal de rellotge (dada vàlida en el flanc de pujada) i un senyal anomenat *boto* que estarà connectat a un polsador extern. Com a sortida només tindrà un bus anomenat *display*, de 8 bits, on sortirà la temperatura actual, la màxima o la mínima segons el mode escollit.

Per resoldre el problema respongueu les següents preguntes:

1. Dibuixeu un diagrama de blocs *detallat* corresponent al sistema complet. Atenció: Feu un disseny completament síncron.
2. Escriviu l'*entity* i l'*architecture* del sistema.
3. Dibuixeu un cronograma detallat, amb els senyals interns importants, que verifiqui el correcte funcionament del vostre disseny.

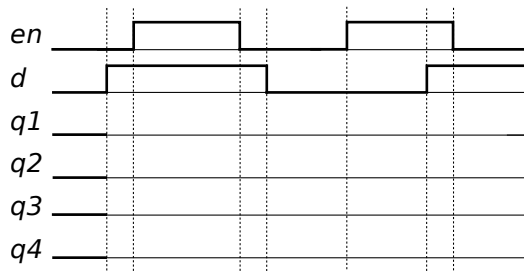
2 Test (50%)

(Errors en preguntes tipus test: -0.1 punts)

- Quina de les següents afirmacions és correcta respecte el VHDL?
 - Un disseny òptim en VHDL és aquell que té menys línies.
 - És un llenguatge de descripció Software.
 - Un disseny òptim en VHDL és aquell que consumeix menys recursos.
 - Totes les sentències en VHDL que es poden compilar i simular, també són sintetitzables.
- Encercleu la sentència o les sentències que es poden incloure dins de codi concurrent:
 - case
 - with
 - process
 - if
- Una vegada sintetitzada la sentència (encercleu l'afirmació correcta):

```
a <= b when (c='1') else a;
```

- Es generarà un flip-flop (actiu per flanc).
 - Es generarà un latch (actiu per nivell).
 - Es generarà una funció combinacional.
 - Es generarà un senyal de rellotge.
- Completeu el cronograma tenint en compte els diferents processos que es descriuen a continuació:



```
fig1: process(d,en)
begin
  if en='1' then
    q1<=d;
  end if;
end process fig1;

fig2: process(d)
begin
  if en='1' then
    q2<=d;
  end if;
end process fig2;

fig3: process(en)
begin
  if en='1' then
    q3<=d;
  end if;
end process fig3;

fig4: process(en)
begin
  q4<=d;
end process fig4;
```

- Sobre l'assignació del nx_pc, quina de les següents afirmacions és correcta?

```

NEXT_PC : process (pr_pc,k_jump)
variable tmp_pc : std_logic_vector(8 downto 0);
begin
    tmp_pc := std_logic_vector(signed(pr_pc & '1') +
                               signed(k_jump & '1'));
    nx_pc <= tmp_pc(8 downto 1);
end process;

```

- a) S'actualitzarà amb el valor anterior de tmp_pc ja que tmp_pc no està a la llista de sensibilitat del process.
- b) S'actualitzarà amb el valor anterior de tmp_pc ja que totes les assignacions dins d'un process tenen un cicle de rellotge de retard.
- c) S'actualitzarà amb el valor actual de tmp_pc ja que el process no depèn del clock.
- d) S'actualitzarà amb el valor acabat de calcular de tmp_pc. Ja que aquest, és una variable i no té sentit parlar de valor anterior i actual.
6. Quina de les afirmacions següents és correcta sobre el senyal port_we implementat en el mini AVR presentat durant el curs?
- a) És l'habilitador de lectura dels ports d'entrada.
- b) És l'habilitador d'escriptura del banc de registres.
- c) És l'habilitador d'escriptura dels ports de sortida.
- d) És l'habilitador del Timer.
7. Quins blocs i/o parts del mini AVR implementat són síncrons?
8. Quina de les següents afirmacions és falsa?
- a) La unitat de control interpreta el opcode i genera els senyals de control corresponents.
- b) La instrucció LDI permet carregar el valor d'un port d'entrada a un registre.
- c) El timer representa un component extern del nucli del mini AVR.
- d) La lectura del banc de registres és asíncrona.
9. Pensant en la pràctica 5 que treballàvem amb el Timer, quina de les següents afirmacions és correcta?
- a) Sempre que el Timer estigui comptant, el comptador de programa es quedarà en un bucle esperant que el Timer arribi al límit.
- b) Llegint el valor del timer_state i gràcies a la instrucció BRANCH esperem que el Timer arribi al límit.
- c) Li assignem un valor al límit del prescaler a través de la funció OUT.
- d) Amb la instrucció IN llegim el valor del timer a través d'un port d'entrada.