

Sistemes Digitals

Examen Parcial. 16 d'abril de 2018

Temps per a la resolució: 2 hores.

1 Problema: Control d'una porta de garatge (50%)

Volem dissenyar un sistema de control d'una porta de garatge basat en un únic botó. El comportament de la porta ha de ser el següent:

Inicialment es troba tancada. Quan l'usuari prem el botó s'inicia el procés d'obertura, que tarda 10 segons a completar-se. Una vegada oberta es queda en repòs durant 20 segons, fins que torna a tancar-se automàticament. El tancament tarda 10 segons fins a tornar a l'estat inicial.

En cas que l'usuari premi el botó mentre la porta es troba en moviment, el canvi no tindrà efecte; però si ho fa mentre la porta està oberta, s'iniciarà el tancament sense finalitzar l'espera de 20 segons.

Adicionalment mostrarem l'estat de la porta amb un indicador lluminós que estarà apagat ('0') quan la porta estigui tancada, encès ('1') quan estigui oberta i fent intermitències de 0.5 segons mentre la porta estigui en moviment.

Creeu un mòdul VHDL que ofereixi el comportament descrit. Aquest ha de tenir una entrada de `clock` i una altra per al botó. Per moure la porta utilitzarem les sortides `obrir` i `tancar` (actives per nivell positiu '1'). Podem considerar que quan ambdues valen el mateix la porta estarà en repòs. Finalment cal disposar d'una sortida `led` per connectar-hi l'indicador lluminós. Totes les entrades i sortides del sistema són cables d'un sol bit.

Per tal de resoldre l'exercici respongueu les següents qüestions:

- Suposant que el botó genera estat '1' quan es troba apretat i '0' en cas contrari, i que pot presentar canvis d'estat de forma asíncrona al sistema, descriuiu la manera correcta de gestionar-lo
- Si el `clock` té una freqüència de 200 Hz, com ho farieu per temporitzar la porta?
- Definiu el diagrama de blocs del sistema complet
- Escriviu l'`entity` i `architecture` del sistema (ha de ser sintetitzable i síncron). Definiu acuradament cadascun dels senyals interns del vostre disseny
- Dibuixeu un cronograma que verifiqui el correcte funcionament del sistema

2 Qüestions (50 %)

1. Realitzeu les següents operacions utilitzant la representació binària amb signe i 5 bits de precisió. Indiqueu si hi ha carry i overflow i en quins casos es necessita un bit més de precisió per emmagatzemar el resultat.
 - a) $10 + 6$
 - b) $15 - 16$
 - c) $-4 - 12$
2. És possible escriure un codi VHDL equivalent al següent sense utilitzar el procés? En cas afirmatiu, feu-ho simplificant-ne al màxim la sintaxi. Dibuixeu també el diagrama de blocs equivalent utilitzant portes lògiques.

```
process (A, B) is
begin
  Q <= '0';
  if (A = '0') then
    if (B = '0') then
      Q <= '1';
    end if;
  end if;
end process;
```

3. L'anàlisi a nivell d'abstracció de registre (*Register Transfer Level*) ens pot servir per analitzar les restriccions temporals d'un sistema digital. Expliqueu quines són i dibuixeu-les en un cronograma.
4. Descriviu el codi VHDL corresponent a un flip-flop amb enable i reset. El reset ha de ser síncron i tenir més prioritat que l'enable. Dibuixeu un cronograma del seu comportament.
5. Dibuixeu el cronograma resultant del següent codi VHDL:

```
signal q: unsigned(1 downto 0) := "00";
signal flag1, flag2: std_logic := '0';
begin
process(clk)
begin
  if rising_edge(clk) then
    q <= q + 1;
    if q = 2 then
      q <= "00";
    else
      flag1 <= not flag1;
    end if;
  end if;
end process;
flag2 <= '1' when q = 2 else '0';
```

