

Sistemes Digitals

Control. 16 d'abril de 2012

Temps per a la resolució: 2 hores. Publicació de qualificacions: 23 d'abril de 2012.

1 Comptador de centèsimes de segon

Volem dissenyar un cronòmetre capaç de mesurar el temps transcorregut entre l'activació d'un senyal **start** i l'activació d'un senyal **stop**. Es disposa també d'un senyal **reset** pensat per posar a zero el cronòmetre i d'un senyal **clk** de freqüència 100 kHz com a referència de temps.

El cronòmetre ha de representar el temps transcorregut en centèsimes de segon, entre 0 i 99 centèsimes, en dos displays de 7 segments. El disseny es realitzarà en mòduls. El primer d'ells ha de produir cadascun dels dos dígitos codificats en BCD. Un segon mòdul (que serà instanciat dues vegades) s'encarrega de realitzar la traducció de BCD a codi de 7 segments.

1. Dibuixeu un diagrama de blocs corresponent al *sistema complet*.
2. Quines llibreries VHDL caldrà incloure a cada mòdul? Per què?
3. Escriviu l'**entity** del primer mòdul.
4. Com implementareu l'acció corresponent als senyals **start** i **stop**? Pista: Penseu què ha de passar si la seqüència successiva d'esdeveniment és, per exemple: reset, start, stop, start, stop, stop, reset, start, start, reset, reset, stop.
5. Escriviu l'**architecture** del primer mòdul. Atenció: Definiu acuradament cadascun dels senyals interns del vostre disseny; Feu un disseny sintetitzable completament síncron; Presteu atenció a la freqüència de rellotge.
6. Escriviu el codi VHDL corresponent al segon mòdul.
7. Escriviu l'**entity** corresponent al sistema global.
8. Descriviu, sense donar tots els detalls (si hi ha coses repetides, indiqueu-ne una amb detall), com s'ha d'escriure l'**architecture** del sistema global.

A partir d'ara, considerem el testbench per al nostre disseny global:

9. Suposant que **start**, **stop** i **reset** ja estan definits, escriviu el codi que simula la generació successiva dels següents esdeveniments: reset, start, stop, start, stop, reset.
10. Dibuixeu un cronograma significatiu dels principals senyals implicats en el sistema global.

2 Qüestions

1. Quins valors pot prendre `a` si està definit com a `signal a : std_logic;`? Quin significat tenen aquests valors?
2. Si `a` està definit com a l'apartat anterior, quin és el cronograma resultant d'executar el següent codi?

```
a <= 'Z', '1' after 100 ns, '0' after 200 ns;  
a <= '1';
```

3. Donats `s4 : std_logic_vector(3 downto 0); s5 : std_logic_vector(4 downto 0);` i `u : unsigned(3 downto 0);`, feu les assignacions per aconseguir que

- `u` prengui el valor de `s4`
- `u` prengui el valor de `s5`
- `s4` prengui el valor de `u`
- `s5` prengui el valor de `u`

Indiqueu si hi ha observacions a fer en algun d'aquests casos.

4. Detalleu (això vol dir amb punts i comes!) el codi VHDL corresponent a un multiplexor de 4 entrades.
5. Descriviu quina és la forma correcta d'entrar senyals asíncrons a un sistema síncron.
6. Llisteu 20 termes en anglès relatius a l'assignatura junt amb la seva traducció al català o castellà.