

Implementació de filtres amb una FPGA

Efectes del treball amb aritmètica de precisió finita

Jordi Bonet i Dalmau

14 de gener de 2016

Utilitzarem una FPGA per tal d'experimentar amb els efectes de treballar amb aritmètica de precisió finita quan es treballa amb filtratge digital. Partirem d'un projecte ja realitzat *DSP.qar* que incorpora un filtre FIR de mitjana mòbil de memòria qualsevol, un filtre FIR de 2n ordre genèric, un filtre IIR banda eliminada amb dos zeros i dos pols, i un filtre IIR que funciona com l'oscil·lador digital implementat anteriorment amb la placa Arduino.

1 Importació del projecte DSP.qar

Poseu en marxa el programari Quartus II. Feu *Project>Restore Archived Project>DSP.qar*. Feu doble clic en el *main* i observeu els blocs disponibles: PLL, ADC, PWM, i quatre filtres.

A partir d'un *clock* de 50 MHz, el PLL genera un senyal de 25.6 MHz i un altre de 102.4 MHz. Aquests senyals són múltiples de les freqüències que usen la resta de blocs del circuit.

El primer, 25.6 MHz, és usat pel bloc ADC i dividit per 8 per tal d'obtenir *ADC_SCLK*, de 3.2 MHz. *ADC_SCLK* és el *clock* del convertidor analògic digital (ADC) i és al ritme al qual es capturen els bits de cada conversió AD, *Figura 1*. Fan falta un total de 16 *clocks* per tal d'obtenir els 12 bits de la conversió AD. Així, també generem el senyal *smp_lrdy* de freqüència 16 vegades inferior a *ADC_SCLK*, és a dir de 200 kHz, que ens indica cada quan tenim una mostra disponible. Observeu que malgrat disposar de 12 bits, la mostra que obtenim només conté els 8 bits més significatius.

El segon, 102.4 MHz, és usat pel bloc PWM i dividit per 256 per tal d'obtenir 400 kHz, que és la freqüència del senyal PWM.

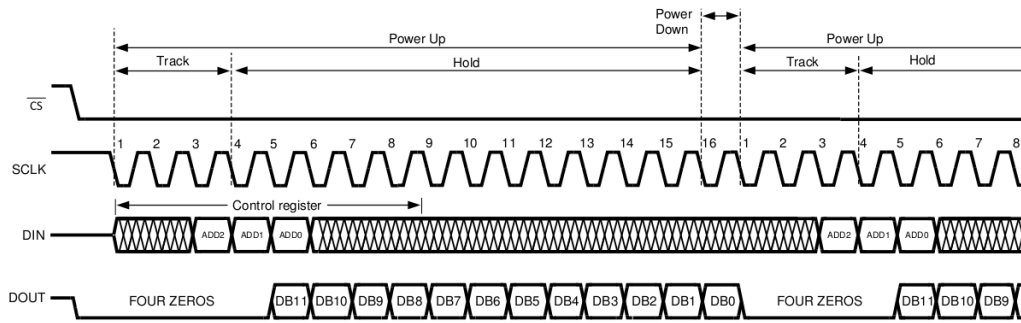


Figure 1. ADC128S022 Operational Timing Diagram

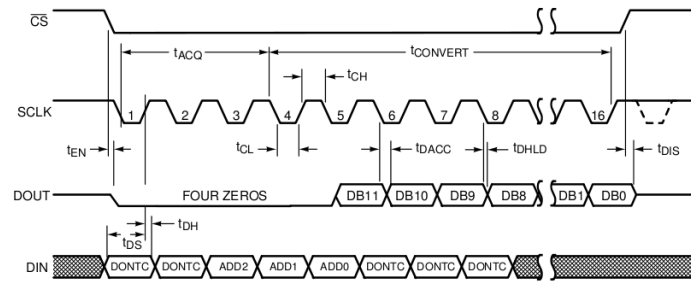


Figure 2. ADC128S022 Serial Timing Diagram

Figura 1: ADC Timing Diagram

2 Connexionat, circuiteria analògica i ús del bloc OSC

La placa DE0-Nano disposa de 3 *header* per tal de connectar la circuiteria de la placa amb l'exterior. Nosaltres usarem el *header* JP3 situat a la part inferior de la placa per tal de tenir una entrada analògica, [Figura 2](#) i [Figura 3](#).

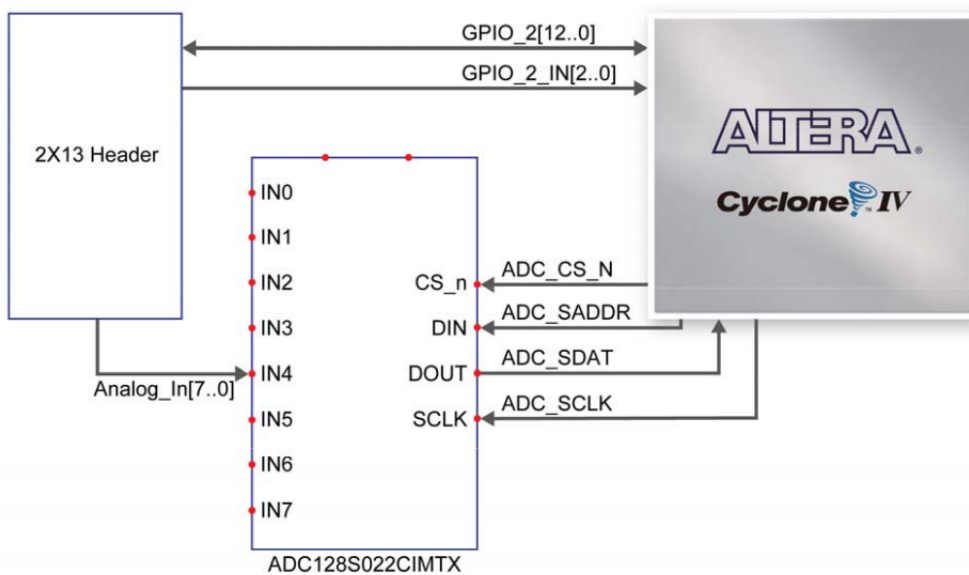


Figura 2: Connexionat entre FPGA, ADC i header JP3

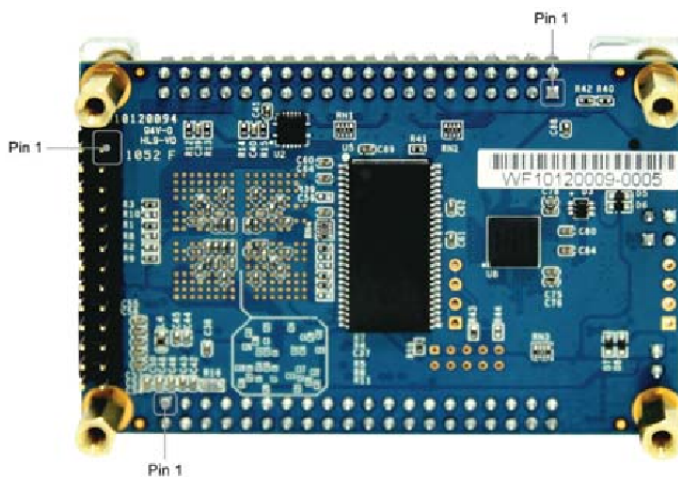


Figura 3: Posició del header JP3, esquerra, dins la placa DE0-Nano

Usarem els següents pins, *Figura 4*: El pin 26 és el GND. El pin 24, *Analog_In0*, és l'entrada analògica. El pin 16, *GPIO_211*, és la sortida PWM. També hem connectat a JP3 algun dels senyals interns: El pin 14, *GPIO_29*, *simpl_rdy*. El pin 12, *GPIO_27*, *ADC_SCLK*. El pin 10, *GPIO_25*, *ADC_SDAT*, els bits de la mostra resultant de la conversió AD.

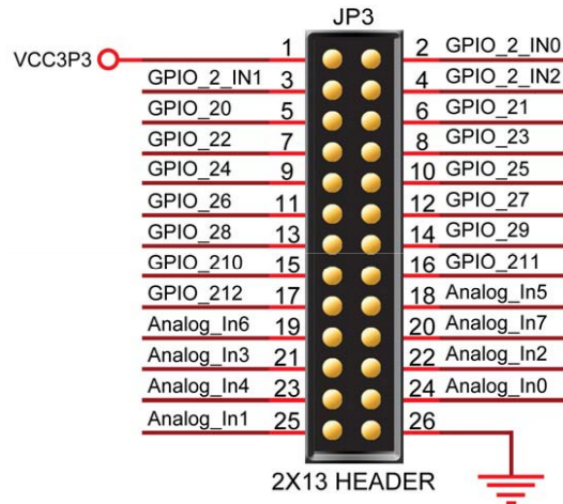


Figura 4: Pinout del *header* JP3

Tasca 1. Per tal de visualitzar el senyal PWM, Usarem un filtrat RC amb una freqüència de tall $f_c = \frac{1}{2\pi RC}$. Si useu $R = 4.7\text{k}\Omega$ i $C = 1\text{nF}$. Quina és la freqüència de tall?

Tasca 2. Dins el Quartus II useu la pestanya *Processing>Start Compilation* o Ctrl+L. Connecteu la placa DE0-Nano al port USB de l'ordinador. Potser caldrà instal·lar el driver adequat. Seleccioneu la pestanya *Tools>Programmer*. Hauríeu de configurar la programació tal i com es mostra la *Figura 5*. Cliqueu a *Start* i un cop programada la FPGA, visualitzeu la sortida PWM filtrada. Hauríeu de visualitzar un senyal de freqüència 1 kHz i amplitud 2.7 Vpp.

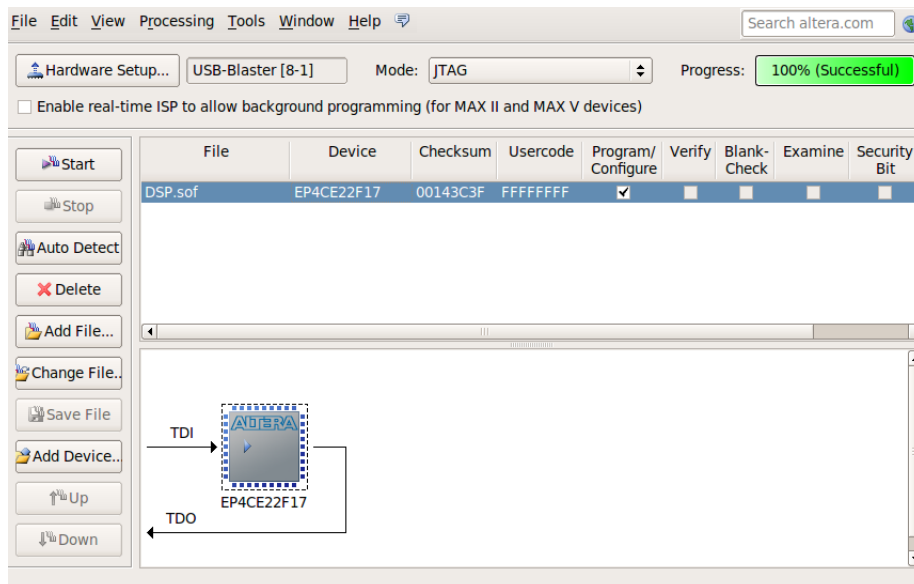


Figura 5: Finestra de programació

3 Utilització del bloc IIR

Observeu que disposem de quatre blocs que fan les funcions de filtres. Tots ells, excepte OSC, usen les mostres del ADC per tal de filtrar i obtenir noves mostres que son enviades al bloc PWM. Hem de triar quina sortida de cadascun dels quatre filtres volem connectar al PWM. En el projecte carregat podeu veure que `osc[7..0]`, la sortida del bloc OSC és també l'entrada del bloc PWM.

Tasca 3. Substituiu `osc[7..0]` de l'entrada del PWM per la sortida del bloc IIR `iir[7..0]`. Aquest filtre implementa un banda eliminada a la freqüència de 4 kHz. Configureu el generador de funcions per tal de generar una contínua d'1.65 V més un senyal sinusoidal de 3.0 Vpp. Verifiqueu el funcionament del filtre banda eliminada i mesureu la seva amplada de banda eliminada a -3 dB.

4 Efecte de l'aritmètica de precisió finita

Si feu doble clic sobre els blocs de l'esquemàtic, observareu el codi VHDL amb què s'ha descrit la seva funció. en concret, cada bloc de filtratge incorpora uns paràmetres a l'inici que permeten escollir amb quants decimals expressem els coeficients i les mostres. Experimenteu amb aquests paràmetres.

Tasca 4. Reduïu la precisió usada en algun d'aquests blocs de filtrat. Observeu els canvis i quantifiqueu-ne l'efecte. Per exemple, varia la freqüència o amplitud de l'oscil·lador? Canvia la freqüència d'eliminació del banda eliminada?