

Microelectrònica

Examen Parcial. 31 d'octubre de 2025

EPSEM. Enginyeria de Sistemes TIC
Temps: 1h 45m.

1. (1 punt) Expliqueu què són els materials semiconductors, destacant quines són les propietats que els diferencien de la resta de materials. Doneu el nom de tres materials semiconductors utilitzats a la indústria microelectrònica.
2. (1 punt) Justifiqueu els noms de sortidor i drenador que reben els terminals d'un transistor MOS. Considereu tant el cas NMOS com el PMOS.
3. (1 punt) En els transistors MOS de canal N és habitual connectar el substrat al sortidor, fixant ambdós a la tensió més baixa disponible. Existeix, però, un fenomen anomenat *body effect* que apareix quan substrat i sortidor es troben a tensions diferents, el qual es tradueix en la modificació de la tensió llindar V_T que cal aplicar entre porta i sortidor per aconseguir la conducció del transistor.

Considereu un transistor NMOS amb les següents tensions: $v_B = 0$ V, $v_S = 2$ V, $v_D = 5$ V. Feu una predicció de en quin sentit es modificarà la tensió llindar V_T del transistor a causa del *body effect*. Justifiqueu la resposta.

4. (1 punt) En el context dels circuits integrats i la microelectrònica, expliqueu a què es refereixen els següents termes, indicant les seves principals aplicacions o utilitat:
 - Silicon dioxide
 - Full-custom design
5. (2 punts) Indiqueu si les següents afirmacions són CERTES o FALSES. Justifiqueu la resposta en cada cas.
 - a) Un semiconductor intrínsec té major conductivitat elèctrica que un semiconductor extrínsec.
 - b) Un material semiconductor de tipus P es pot aconseguir dopant silici amb impureses trivalents com el bor.
 - c) El fenomen físic que impedeix en una junció PN sense polaritzar que tots els electrons lliures del material N s'acabin recombinant amb forats del material P és l'aparició d'un camp elèctric intern que va de N cap a P, el qual genera una força sobre els electrons que va de P cap a N.
 - d) El gravat és un procés que consisteix en la implantació d'ions en un semiconductor intrínsec per crear materials de tipus P o N.

6. (2 punts) Es vol dissenyar un inversor lògic realitzat amb tecnologia NMOS de $2\text{ }\mu\text{m}$, segons l'esquema de la Figura 1, on $V_{DD} = 5\text{ V}$.

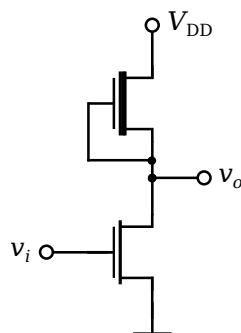


Figura 1

En particular es vol que, quan la sortida es trobi en el nivell baix, la tensió en aquest node no superi el valor $v_o = 0,5\text{ V}$. Les dimensions del transistor NMOS d'enriquiment (transistor inferior) són $W = 3\text{ }\mu\text{m}$, $L = 2\text{ }\mu\text{m}$, amb una tensió llindar $V_T = 0,5\text{ V}$. El transistor NMOS de buidament (transistor superior) té una tensió llindar $V_T = -0,5\text{ V}$. En ambdós casos es té $K' = 20\text{ }\mu\text{A/V}^2$.

- Per a cadascun dels estats lògics possibles a l'entrada ($v_i = 0\text{ V}$ i $v_i = 5\text{ V}$), indiqueu de forma raonada en quin mode de funcionament es troben els transistors.
 - Determineu les dimensions mínimes del transistor NMOS de buidament.
7. (2 punts) Del circuit de la Figura 2 se sap que la tensió de control pren el valor $v_c = 5\text{ V}$. Determineu la tensió de sortida v_o en els següents casos:

- $v_i = 1,25\text{ V}$
- $v_i = 5\text{ V}$

Paràmetres: $V_{CC} = 15\text{ V}$, $R = 3\text{ k}\Omega$, $K' = 280 \cdot 10^{-6}\text{ A/V}^2$, $V_T = 0,5\text{ V}$, $W = 3,5\text{ }\mu\text{m}$, $L = 7\text{ }\mu\text{m}$.

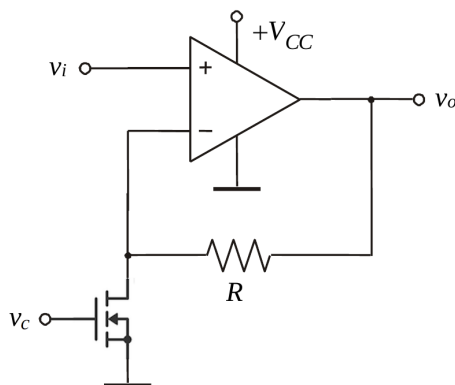


Figura 2