

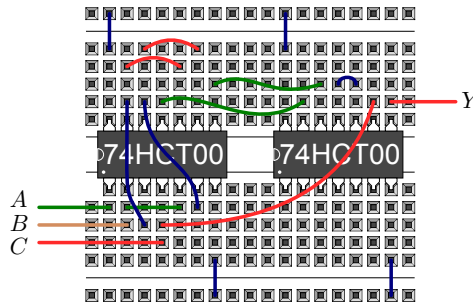
# Introducció als Sistemes Digitals

## Examen final. 27 de gener de 2011

Temps per a la resolució: 3 hores. Publicació de qualificacions: 3 de febrer de 2010.

### 1 Laboratori

Un company vostre ha construït el següent circuit al laboratori amb els integrats indicats, que corresponen a portes NAND de dues entrades.



1. Dibuixeu l'esquema corresponent a aquest muntatge.
2. Escriviu la taula de veritat corresponent a la sortida  $Y$  en funció de les entrades  $A$ ,  $B$  i  $C$ .
3. Trobeu l'expressió simplificada per  $Y$ .
4. Si és possible, dibuixeu l'esquema d'un circuit més senzill que realitzi la mateixa funció amb portes NAND de dues entrades.

### 2 VHDL

Considereu les següents descripcions VHDL:

Codi A

```
ENTITY bloc IS
  PORT (a,b,c : IN std_logic;
        y      : OUT std_logic);
END bloc;
ARCHITECTURE arch_bloc OF bloc IS
BEGIN
  y <= (a OR b) AND c;
END arch_bloc;
```

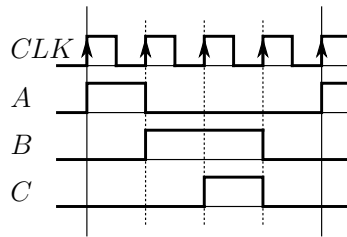
Codi B

```
ENTITY conta IS
  PORT (clk : IN std_logic;
        Q   : OUT std_logic_vector(2 DOWNTO 0));
END conta;
ARCHITECTURE arch_conta OF conta IS
  SIGNAL cnt : unsigned(2 DOWNTO 0);
BEGIN
  PROCESS (clk)
  BEGIN
    IF clk'EVENT AND clk='1' THEN
      cnt <= cnt + 1;
    END PROCESS;
  Q <= cnt;
END arch_conta;
```

1. Dibuixeu un esquema equivalent de la funció que realitza el codi A.
2. Descriviu la funció que realitza el codi B ajudant-vos amb un diagrama de transició d'estats.

### 3 Generació de senyals

A partir d'un senyal de rellotge es demana que dissenyeu un circuit capaç de generar tres senyals  $A$ ,  $B$  i  $C$  segons el que especifica el cronograma següent, on els senyals es repeteixen periòdicament *ad infinitum*.



Amb aquest objectiu,

1. Representeu un diagrama de transició d'estats adequat, considerant que el sistema mai no pot trobar-se en un estat que no pertanyi a aquest conjunt.
2. Dissenyeu un circuit de complexitat mínima que realitzi la funció demanada.
3. Avalueu el diagrama de transició d'estats complet, incloent els possibles estats espuris. Si considereu que el sistema podria tardar excessivament a entrar al cicle normal de funcionament, refeu el disseny per evitar-ho.

### 4 Disseny amb multiplexors

Es demana que implementeu la funció lògica

$$F(A, B, C, D, E) = A + \bar{C}D + B\bar{D} + \bar{B}D + \bar{B}CE$$

fent servir un multiplexor 4:1 i la lògica addicional que calgui, minimitzant la seva quantitat. Estudieu les possibilitats següents i compareu la complexitat del disseny resultant.

1. Fer servir  $A$  i  $B$  com a senyals de control del multiplexor 4:1.
2. Fer servir  $B$  i  $C$  com a senyals de control del multiplexor 4:1.
3. Fer servir  $C$  i  $D$  com a senyals de control del multiplexor 4:1.

### 5 Varis

1. Un flip-flop de tipus D té un temps de *setup*,  $t_s$ , de 1 ns i un temps de *hold*,  $t_h$ , de 2 ns. Dibuixeu un fragment de cronograma detallat dels senyals *clock* i  $D$  en el que es violi el temps de *setup* i es compleixi el temps de *hold*.
2. Volem que l'entrada d'un 74HCT00 estigui normalment a **1** lògic llevat de quan actuem sobre un polsador (normalment obert). Dibuixeu com ho podem aconseguir.
3. Llisteu 20 termes en anglès relatius a l'assignatura junt amb la seva traducció al català o castellà.