

Introducció als Sistemes Digitals

Prova Final. 19 de gener de 2018

Temps per a la resolució: 3 hores. Publicació de resultats: 30 de gener.

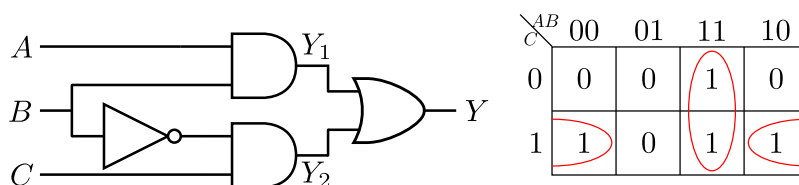
1 Full Adder

(10 punts) Considereu diverses alternatives per a dissenyar un sumador de dos nombres, A i B codificats en binari mitjançant dos bits, $A = A_1A_0$ i $B = B_1B_0$. El resultat de la suma és un nombre, $Y = A + B$, codificat en binari mitjançant tres bits, $Y = Y_2Y_1Y_0$.

- (2 punts) Escriviu la taula de veritat per a cada bit d' Y .
- (2 punts) Dissenyeu Y_0 amb portes lògiques AND, OR i NOT. També podeu usar portes XOR.
- (2 punts) Dissenyeu Y_1 usant un 8:1 MUX i, si és necessari, portes NOT, amb $A_1A_0B_1$ com a selectors.
- (2 punts) Dissenyeu Y_2 usant un 4:1 MUX i, si és necessari, portes AND, OR i NOT, amb A_1A_0 com a selectors.
- (2 punts) Dissenyeu $Y_2Y_1Y_0$ usant un 1:16 DEMUX i portes OR.

2 Glitch removal

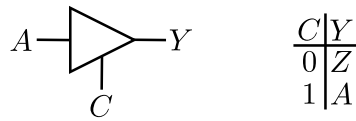
(7 punts) Considereu el circuit de la figura, realitzat amb dues portes AND, una OR i una NOT, cadascuna d'elles amb un retard de propagació Δ . Aquest disseny prové de simplificar la funció lògica realitzant dues agrupacions de dos uns en el següent mapa de Karnaugh.



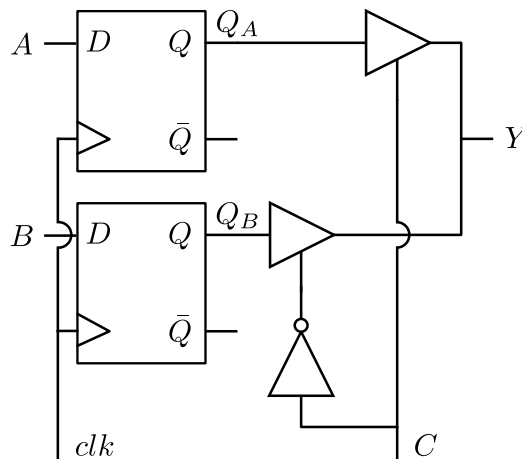
- (1 punt) Determineu el valor de la sortida Y per $ABC = 111$ i $ABC = 101$.
- (3 punts) Representeu el cronograma dels senyals que apareixen en la figura per a la transició d' $ABC = 111$, que forma part d'una de les agrupacions, a $ABC = 101$, que forma part de l'altra agrupació. Observeu l'aparició d'un *glitch*?
- (3 punts) Realitzeu una tercera agrupació, en principi innecessària, que aconseguixi que els valors $ABC = 111$ i $ABC = 101$ formin part de la mateixa agrupació. Dissenyeu un nou circuit i repetiu el cronograma, afegint els senyals necessaris. Comenteu el resultat obtingut.

3 Three-state logic

(7 punts) Considereu el *tri-state buffer* de la figura amb la seva taula de veritat simplificada.

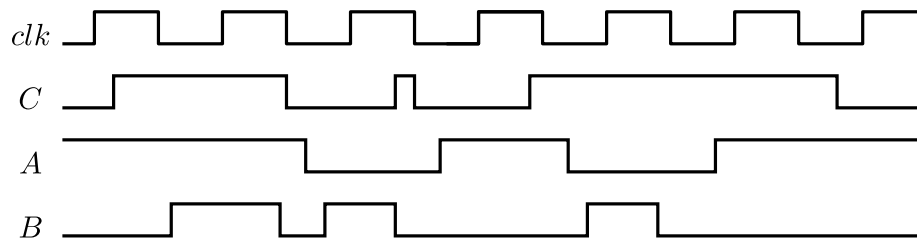


- (1 punt) Connecteu, i dibuixeu, una resistència de *pull-up* a la sortida Y i escriviu la nova taula de veritat.
- (2 punts) Una aplicació del *tri-state buffer* consisteix en seleccionar un de dos senyals, que altrament estarien curtcircuitats. Aquest és el cas del circuit de la figura.



Genereu el senyal de control C amb un pulsador de manera que $Y = Q_A$ en estar premut i $Y = Q_B$ en cas contrari. Repetiu la generació del senyal C amb un pulsador de manera que $Y = Q_B$ en estar premut i $Y = Q_A$ en cas contrari.

- (2 punts) Representeu el cronograma d' Y per a les següents entrades.

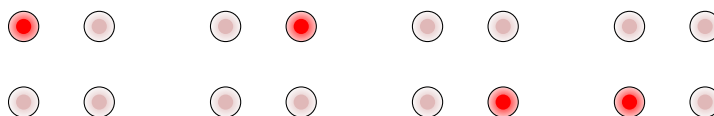


- (2 punts) Dissenyeu el circuit anterior prescindint dels *tri-state buffer*.

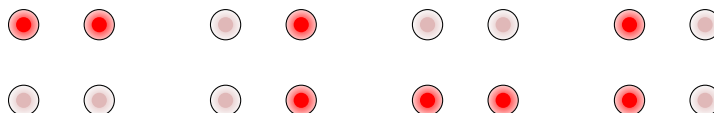
4 Christmas lights

(16 punts) En aquest exercici il·luminarem LED situats físicament sobre una graella matricial que *dibuixaran* seqüències determinades per màquines d'estat fetes amb flip-flops de tipus D governades per un senyal de rellotge *clk*.

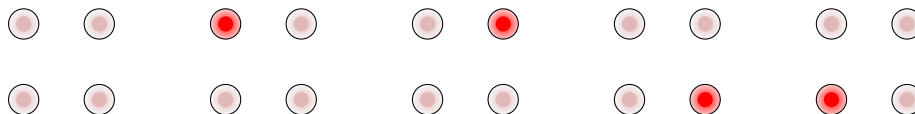
- (2 punts) Dissenyu un circuit que faci que una agrupació de 4 LED ¹ *dibuixi* de forma cíclica la següent seqüència. Useu només flip-flops. Indiqueu els valors amb què inicialitzeu els flip-flops.



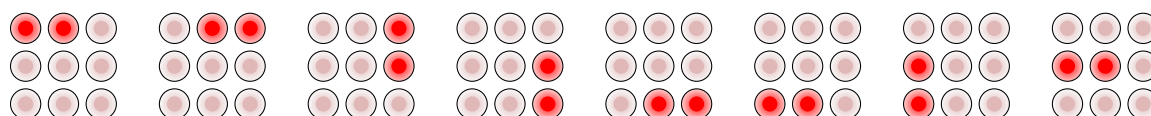
- (2 punts) Repetiu per a la següent seqüència. Useu només flip-flops. Indiqueu els valors amb què inicialitzeu els flip-flops.



- (2 punts) Repetiu per a la següent seqüència. Useu només flip-flops. Indiqueu els valors amb què inicialitzeu els flip-flops.



- (10 punts) Considereu ara una agrupació de 9 LED ² que *dibuixa* de forma cíclica la següent seqüència quan el senyal $A = 0$. En canvi, quan $A = 1$, la seqüència inverteix l'ordre. Dissenyu el sistema complet de manera que s'usin el mínim nombre de flip-flops.



¹Numereu els LED de l'1 al 4 d'esquerra a dreta i de dalt a baix.

²Numereu els LED de l'1 al 9 d'esquerra a dreta i de dalt a baix.