

# Introducció als Sistemes Digitals

## Examen final. 15 de gener de 2013

Temps per a la resolució: 3 hores. Publicació de qualificacions: 23 de gener de 2013.  
Ponderacions de cada exercici 1:40% 2:30% 3:30%

### 1 Joc de LEDs

Volem dissenyar un joc en el que hi intervenen 5 LEDs (que anomenarem, d'esquerra a dreta, LED1, ... LED5) i un polsador. Es disposa d'un senyal de rellotge de freqüència 1 Hz.

Inicialment, tots els LEDs estan apagats i resten apagats mentre no es prem el polsador. Quan, coincidint amb el flanc de pujada del rellotge, el polsador està premut s'encén el LED1. Si el polsador segueix premut, en el següent flanc de pujada del rellotge, s'apaga el LED1 i s'encén el LED2. Si seguim prement el polsador s'apaga el LED2 i s'encén el LED3 i així successivament fins que s'encén el LED5. En aquest moment, si continuem prement el polsador, s'encendrà novament el LED1 i així successivament. Si, en arribar un flanc de rellotge, el polsador no està premut, operem en sentit contrari: si està encès el LED2, aquest s'apaga i s'encén el LED1. Si està encès el LED1 *els apaguem tots* i, si estan tots apagats i no es prem el polsador, seguim mantenint tots els LEDs apagats, com al principi. Si es prem el polsador en qualsevol moment, es torna a iniciar el moviment a dreta. En resum: el polsador provoca que un punt de llum es desplaça a la dreta, reiniciant el moviment si passa de la frontera dreta. Si es deixa de prémer, el punt de llum es desplaça a l'esquerra i acaba desapareixent.

1. Identifiqueu quants estats té el sistema i dibuixeu un diagrama de transició d'estats que el representi.
2. Trieu una codificació per als estats i representeu la taula de veritat del sistema que calcula l'estat futur a partir del present i del senyal del polsador.
3. Simplifiqueu les funcions lògiques resultants i implementeu-les amb portes.
4. Volem construir aquest joc al laboratori mitjançant un CPLD com els que hem fet servir a les pràctiques. Considerant el CPLD una caixa tancada que ha esta programada adequadament, dibuixeu un esquema que reflecteixi tot allò que caldria per tal que el muntatge funcionés (resistència(es), LED(s), polsador(s), alimentació(ns), generador de senyals)

### 2 Varis

1. Un sistema seqüencial síncron genèric incorpora un bloc combinacional que calcula el nou estat a partir de l'anterior i les entrades externes. Sabem que el temps de setup dels flip-flops és de 10 ns, el temps de hold és de 5 ns i el temps de propagació (de clock a  $Q$ ) 12 ns. D'altra banda el sistema combinacional té un temps de càlcul de 7 ns. Dibuixeu un cronograma que mostri el sistema funcionant correctament. Quina és la màxima freqüència de clock?
2. Llisteu 20 termes en anglès relatius a l'assignatura junt amb la seva traducció al català o castellà.

3. Implementeu la funció lògica  $f(A, B, C) = ABC + A\bar{B}$  fent servir un demux 2:4. Podeu emprar les entrades que vulgueu per al demultiplexor i, si cal, podeu fer servir circuiteria addicional.
4. Implementeu una porta NOR de dues entrades ( $A$  i  $B$ ) fent servir exclusivament portes NAND de 3 entrades. Tenint en compte que cada porta introdueix un retard  $\Delta$ , dibuixeu un cronograma que mostri les transicions de  $AB$ :  $11 \rightarrow 00 \rightarrow 01$ .
5. Donades dues entrades  $A$  i  $B$  i una sortida  $Y$ , quantes funcions lògiques diferents es poden implementar? Escriviu les seves taules de veritat i intenteu batejar cadascuna amb un nom escaient.

### 3 Display misteriós

Un rellotge de 1 Hz governa un comptador binari de 3 bits que compta cíclicament de 000 a 111. A la sortida del comptador s'hi connecta un sistema descrit pel següent codi VHDL (els dos interrogants es deuen a que el dissenyador no recorda què hi anava):

```
ENTITY bloc IS
  PORT (num : IN  std_logic_vector(2 downto 0);
        y   : OUT std_logic_vector(6 downto 0));
END bloc;
ARCHITECTURE arch_bloc OF bloc IS
BEGIN
  y <= "0110111" WHEN num="000" ELSE
       "1111110" WHEN num="001" ELSE
       "0001110" WHEN num="010" ELSE
       "11101??" WHEN num="011" ELSE
       "0000000";
END arch_bloc;
```

A la sortida del bloc anterior, s'hi connecta un display de 7 segments amb les resistències adequades. La connexió es fa de forma que el bit més significatiu de  $y$  (el de l'esquerra) es connecta al segment  $a$  i el bit menys significatiu de  $y$  (el de la dreta) al segment  $g$ .

1. Dibueixeu la seqüència que apareixerà al display de 7 segments, indicant la durada de cada part.
2. Quin valor creieu que han de prendre els dos interrogants?