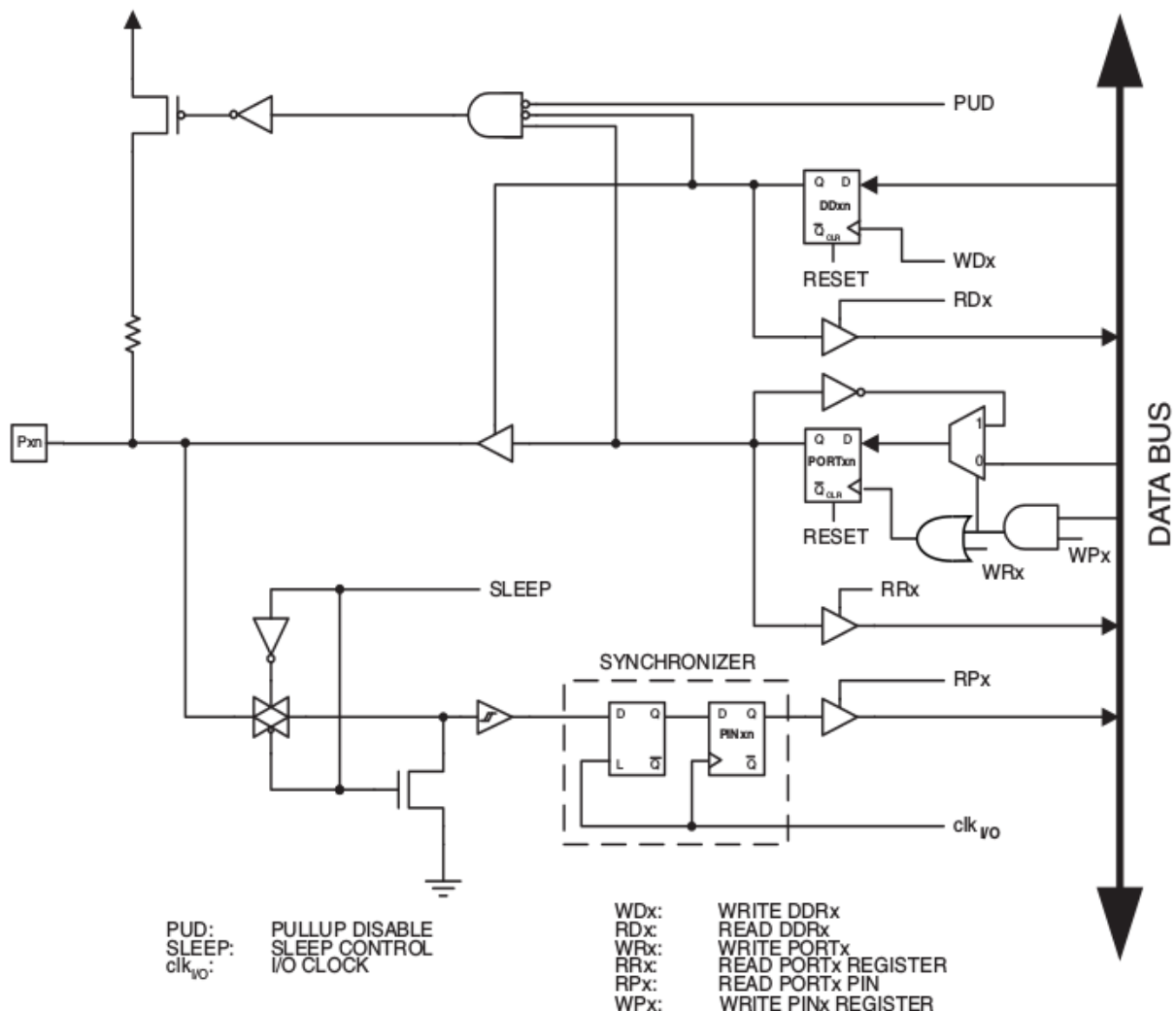


Dispositius Programables

Control - Novembre 2020

1. Es disposa d'un registre de desplaçament format pels registres r3:r2:r1:r0.
 - a) Dissenyeu la macro **sbitl** de manera que desplaça a l'esquerra 1 bit aquest registre de desplaçament. Considereu que el nou bit d'entrada es troba al flag C i que el bit sortint es deixa al mateix flag C.
 - b) Dissenyeu la macro **snibblelreg** de manera que amb el registre que se li passa com a paràmetre (entre el r0 i r15) realitza un desplaçament de nibble a l'esquerra. Considereu que el nibble nou d'entrada es troba al r16 i que el nibble sortint es deixa al mateix registre r16.
 - c) Dissenyeu la macro **snibbleln** aprofitant **snibblelreg** de manera que desplaça a l'esquerra 1 nibble del registre de desplaçament anterior. Considereu que el nibble nou d'entrada es troba a r16 i que el nibble sortint es deixa al mateix registre r16.
 - d) Dissenyeu la macro **snibblelb** aprofitant **sbitl** de manera que faci el mateix que **snibbleln**.
 - e) Justifica quina de les dues implementacions prefereixes entre **snibbleln** i **snibblelb**.
2. La següent figura mostra l'esquema de les potes i/o de l'AVR.



- a) Escriu la seqüència d'instruccions per definir el Port B amb els bits [0,1] com sortides amb valor 0, els bits [2,3,4] com entrades sense pull-up i els bits [5,6,7] com entrades amb pull-up.
 - b) Dissenya una subrutina **lec2or5** que deixa al r16 un valor diferent de 0 si el valor de la pota 2 o el valor de la pota 5 són 1.
 - c) Dissenya una subrutina **lec2and5** que deixa al r16 un valor diferent de 0 si el valor de la pota 2 i el valor de la pota 5 són 1.
 - d) Dissenya una subrutina **esc01z** que fica un 1 al bit 0 del Port B si Z=0 o un 1 al bit 1 del Port B si Z=1. Els bits no afectats han de mantenir el seu valor.
3. Disposem de la subrutina **read_adc** que retorna el valor del conversor AD en el registre r16. Tenim configurat el Timer0 per generar una interrupció cada 10ms. Aquesta interrupció és la que correspon al Comparador A en mode CTC. Aquesta interrupció ocupa la posició número 15 del vector d'interrupció (el reset ocupa la posició 1). Disposeu també de les subrutines **tx** i **rx** del port sèrie sense interrupcions. El conversor AD retorna el valor de la conversió en una escala del 0 (valor més baix) a 255 (valor més alt). El valor mig correspondrà a 128. Es vol dissenyar un sistema de manera que es transmeti pel port sèrie el símbol '+' quan es rep del conversor 2 valors consecutius positius. També es vol transmetre pel port sèrie el símbol '-' quan es rep 2 valors consecutius negatius. Considereu que el llindar entre positiu i negatiu està al valor mig del conversor. L'estat inicial és equivalent a haver rebut 2 negatius seguits. Suposeu que disposeu de la macro **initsystem** que inicialitza tots els perifèrics que fem servir.
- a) La subrutina **read_adc_s** vol transformar el valor llegit del conversor en un byte amb signe, retornant igualment aquest valor a r16. Per tant el valor mig de la conversió ha de ser 0. El valor més baix serà -128 i el valor més alt serà 127. Dissenya aquesta subrutina.
 - b) Dibuixa el graf corresponent d'aquest sistema si consideres que això és un autòmat, o bé un esquema de blocs descriptiu del sistema. Descriu amb pseudocodi la implementació d'aquest sistema.
 - c) Escriu el programa en ensamblador que implementa aquest sistema incloent la/les rutines d'interrupció necessàries.