

# Chipset

## Joc de xips

És un conjunt de xips dissenyats per treballar conjuntament

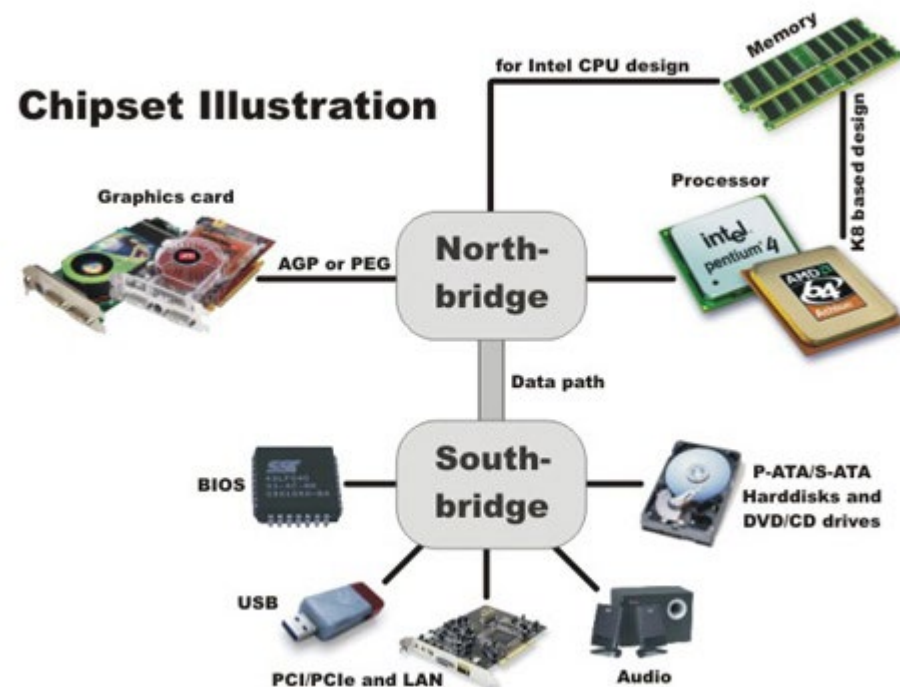
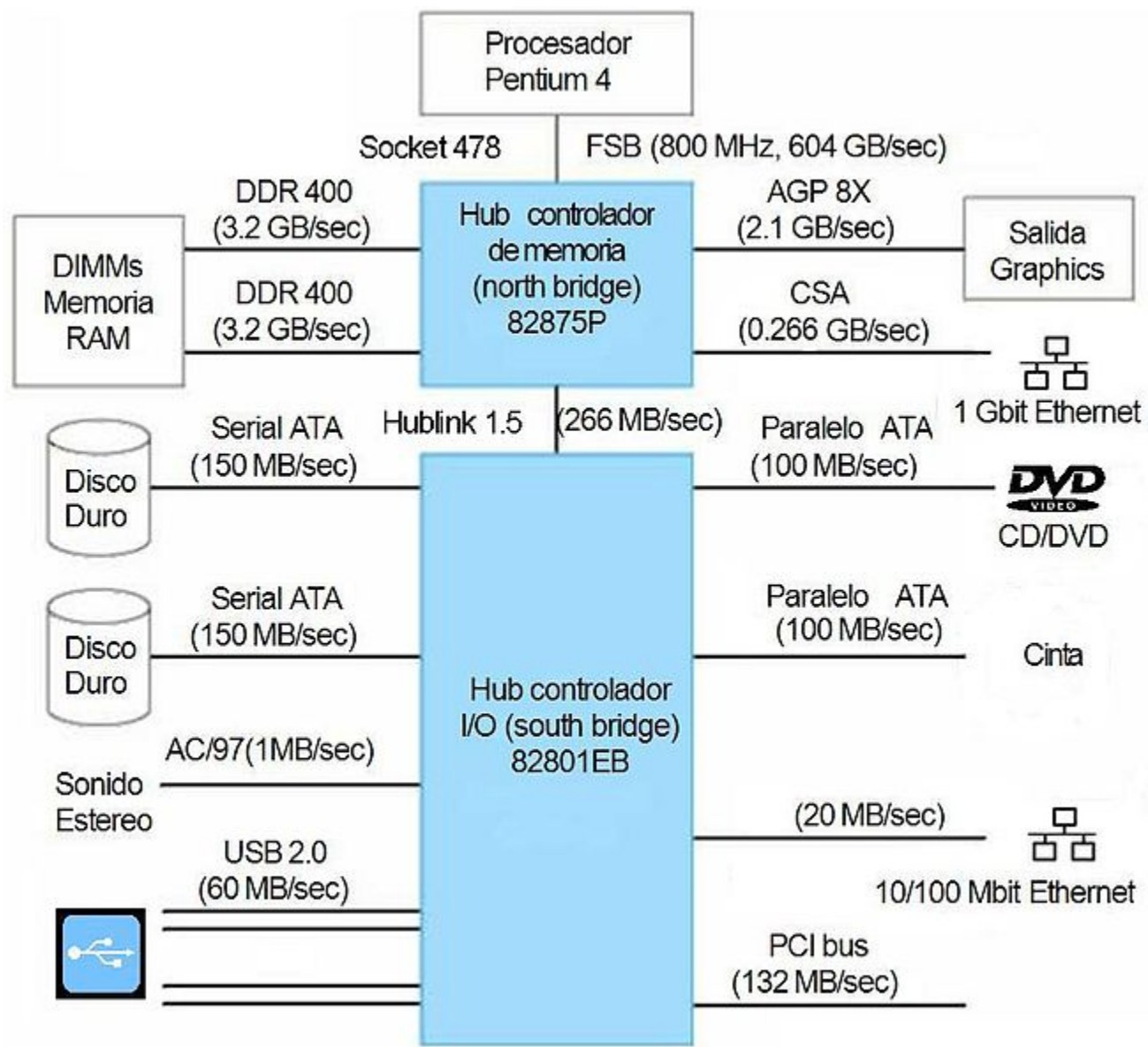
# Ordinadors personals

- En els sistemes basats en processadors Intel , el terme chipset es refereix als dos xips principals de la placa mare:
  - Northbridge (pont nord)
    - controla les funcions d'accés entre el microprocessador, la memòria RAM, el port gràfic (AGP), i les comunicacions amb el pont sud.
  - Southbridge (pont sud)
    - Controla els dispositius associats com són la controladora de discs IDE, els ports USB, FireWire, SATA, RAID, ranures PCI, ranura AMR, ranura CNR, ports d'infraroig, disquetera, Ethernet i una llarga llista amb tots els elements que podem imaginar integrats en la placa mare.

Exemples de chipsets per PC -> els NVIDIA nForce i el VIA Technologies'KT800.

# Història

- Als anys 70 gairebé totes les tasques les feia la CPU. Els seus fabricants normalment comercialitzaven una sèrie de xips auxiliars específics de cada CPU que s'encarregaven de tasques com les comunicacions sèrie o paral·lela o el control de perifèrics, però gairebé sempre requerien de la supervisió de la CPU. L'aparició dels xips de so i gràfics es pot considerar com els primers xips auxiliars en els quals la CPU podia delegar tasques mentre es dedicava a altres coses.
- Els anys 90 els equips més potents tenien molts xips auxiliars que s'encarregaven de la gestió de la memòria, el so, els gràfics o el control d'unitats d'emmagatzematge massiu, deixant a la CPU lliure per a altres tasques.
- La necessitat d'estalviar espai a la placa i reduir costos porta a la integració de tots els xips de control de perifèrics i amb l'arribada del bus PCI i les especificacions ATX dels primers chipsets tal com els coneixem actualment.



# Especificacions d'un BUS

# Nivells d'especificació

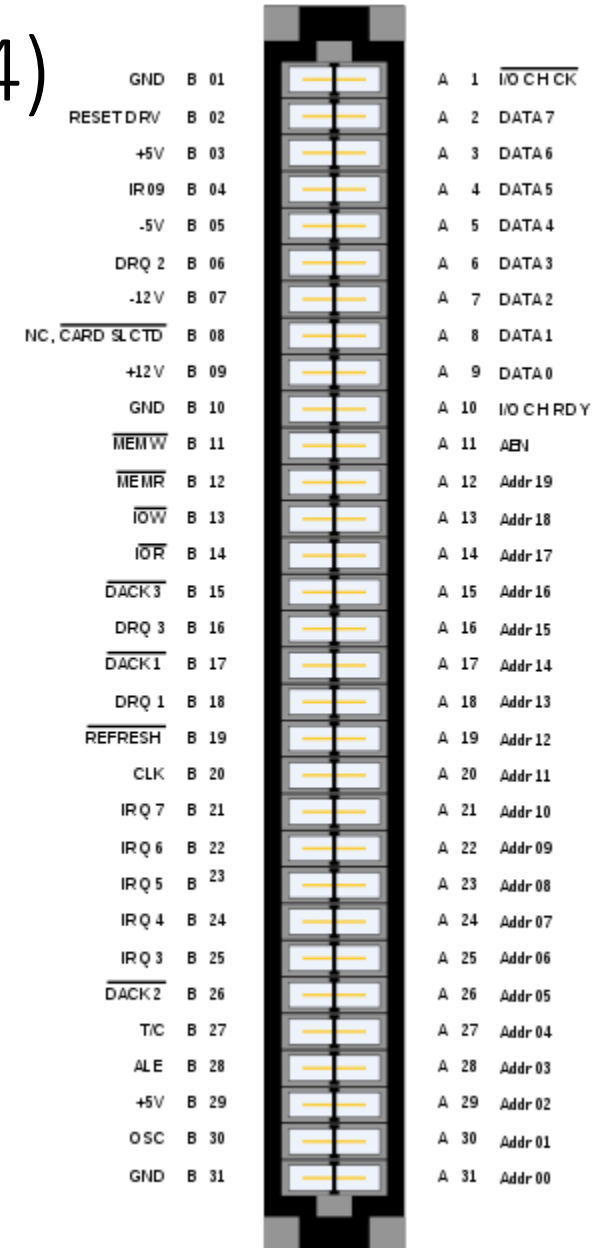
- Les especificacions d'un bus han d'estar perfectament definides.
- En les especificacions hi ha varis nivells:
  - Nivell elèctric: Valors de les tensions d'alimentació, límits dels valors elèctrics dels senyals lògics.
  - Nivell mecànic: Forma dels connectors, nombre de contactes del connector, quantitat de dispositius que pot suportar, ..
  - Nivell lògic: Funcions de cada senyal (bus de dades, bus d'adreces, bus de control), assignació de senyals als contactes del connector, ..
  - Nivell de temporització bàsic: Protocols de transferència utilitzats.
  - Nivell d'arbitratge: Protocols d'arbitratge utilitzats.

## Busos comerciales

- Bus ISA, EISA, MCA: Industry Standard Architecture, Extended ISA, Micro Channel Adapter
- Bus PCI [PCI-X, PCIe]: Peripheral Component Interconnect
- Bus AGP: Accelerated Graphics Port
- Bus IDE: Integrated Drive Electronics
- Bus SCSI: Small Computer System Interface
- Bus SATA: Serial ATA
- Bus Serial Attached SCSI
- Buses USB (Universal Serial Bus) y Fire Wire
- Bus AC'97
- Bus PCMCIA: Personal Computer Memory Card International Association
- Bus VME: Versa Module Europe
- Bus FUTUREBus+

# Bus ISA (Industry Standard Architecture, 1984)

- Bus d'expansió dissenyat pel PC-AT (i80286)
  - Bus de dades: 16 bits
  - Bus d'adreces: 24 bits (16 Mbytes)
  - Cicle de rellotge: 8 MHz
  - Velocitat de transferència màxima: 8 Mbytes/s
  - Protocol de bus: semi asíncron
  - Protocol d'arbitratge: de 2 fils
  - Limitacions:
    - ❖ Suport parcial de varis masters (el master alternatiu ha de cedir l'ús del bus periòdicament per permetre el refresc de la memòria)
    - ❖ Amb els processadors de 32 bits (i80386 i posteriors) té una eficiència molt baixa.

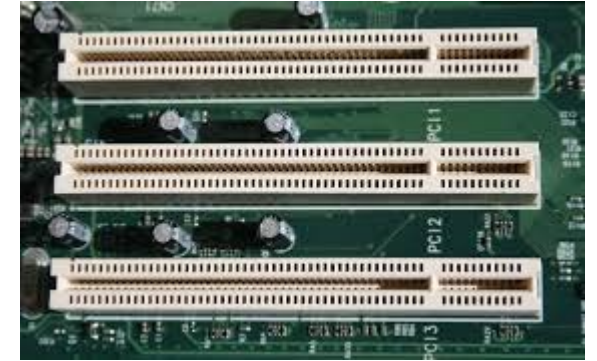






# Bus PCI (Peripheral Component Interconnect Bus, 1993)

- Bus d'expansió dissenyat per l'i80486 i pentium
  - Bus de dades: 32 bits versió 2.0 i 64 bits per la versió 2.1
  - Bus d'adreces: 32 bits (4 Gbytes)
  - Cicle de rellotge: 33 MHz (V 2.0) i 66 MHz (V 2.1)
  - Velocitat de transferència màxima: 132 Mbytes/s (V2.0) i 528 MB/s (V2.1)
  - Protocol de bus: semi asíncron
  - Protocol d'arbitratge: centralitzat en estrella
  - Característiques:
    - ❖ Fins a 16 ranures d'expansió.
    - ❖ Suport per una gran varietat de connexions de dispositius d'E/S d'alta velocitat:
      - ❖ Vídeo, So, xarxes d'alta velocitat, adaptadors SCSI, ..
    - ❖ Suport Plug-and-Play
      - ❖ Targetes controladores autoconfigurables.



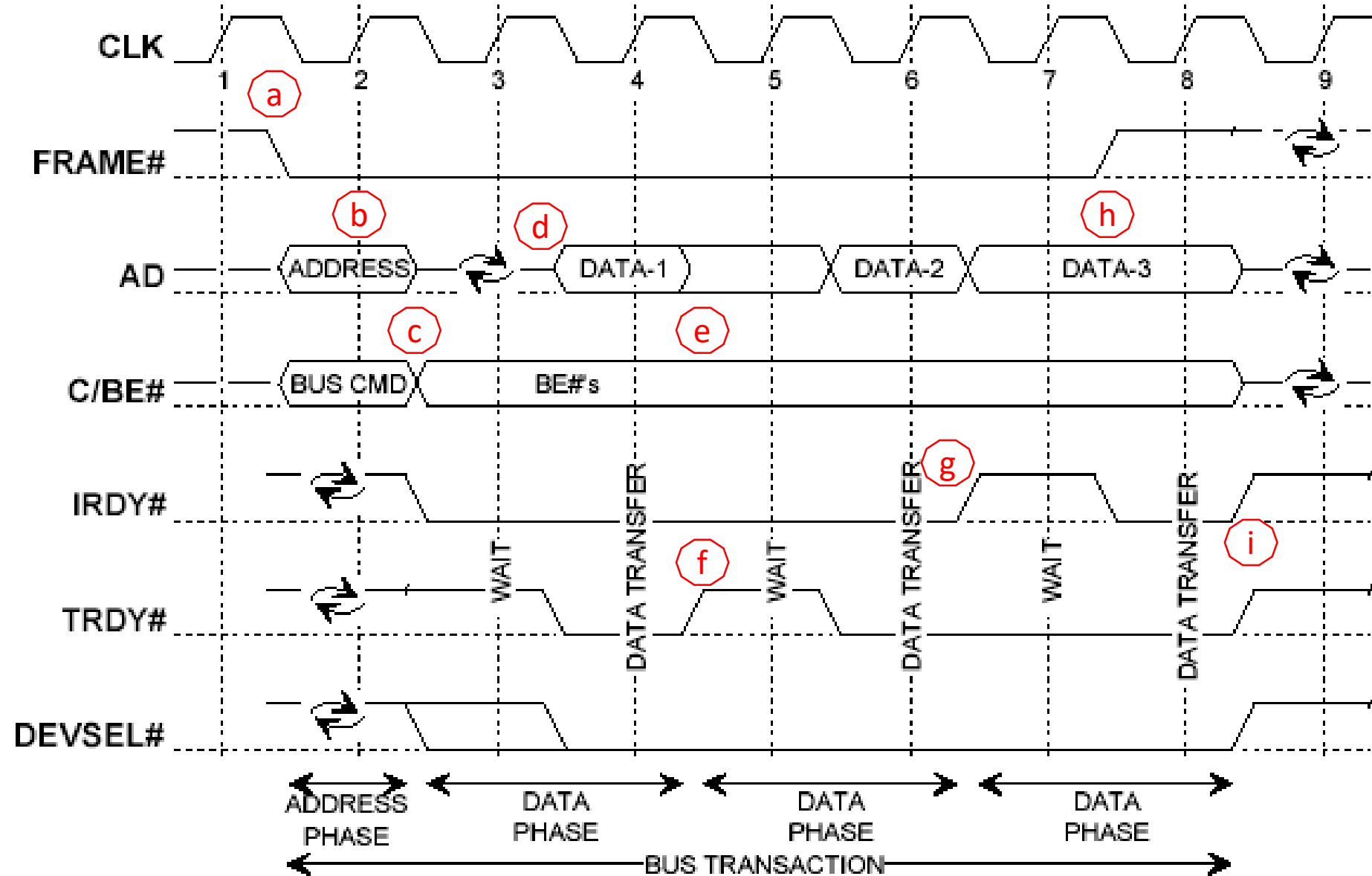
# Bus PCI : Protocol de transferència

- Protocol semi asíncron
- Modes de transferència:
  - Mode ràfega: Es transmet una sola paraula a una adreça de memòria o E/S específica. Les paraules poden ser de 1, 2, 3 o 4 bytes.
  - Mode bloc: Es transfereix un bloc de dades de posicions de memòria consecutives.
- Línies del bus:
  - ☐ CLK: senyal de rellotge
  - ☐ AD0 – AD31: Línies multiplexades de dades / adreces
  - ☐ C0\* - C3\* / BE0\* - BE3\*: Línies multiplexades de comandes / byte actiu
    - ✓ Comanda (C0\*-C3\*): l'activa el master durant el primer cicle de la transferència de dades per especificar el tipus de transferència a realitzar (lectura o escriptura de memòria o E/S)
    - ✓ Byte actiu (BE0\*-BE3\*): l'activa el master durant la transferència de dades per indicar quines línies del bus transporten dades:
      - ❖ BE0\* activat => AD0-AD7 transporta dades
      - ❖ BE1\* activat => AD8-AD15 transporta dades
      - ❖ BE2\* activat => AD16-AD23 transporta dades
      - ❖ BE3\* activat => AD24-AD31 transporta dades

# Bus PCI : Protocol de transferència

- **FRAME\***: Senyala l'inici i la finalització de la transferència
  - L'activa el master quan posa l'adreça al bus per senyalar l'inici de la transferència
  - Si la transferència és del mode bloc el senyal es manté actiu durant tota la transferència del bloc i es desactiva al transmetre l'última paraula
- **DEVSEL\***: Senyal de dispositiu seleccionat
  - L'activa el dispositiu (esclau) per senyalar que ha reconegut la seva adreça
- **TRDY\***: Senyal de dispositiu preparat
  - L'activa el dispositiu a l'inici de la transferència juntament amb DEVSEL\*
  - La desactiva el dispositiu si no pot completar la transferència amb un sol cicle
- **IRDY\***: Senyal de master preparat
  - L'activa el master a l'inici de la transferència
  - La desactiva en el cas de que no pugui completar la transferència en un sol cicle
    - ✓ Per exemple si es queda temporalment sense capacitat per emmagatzemar les dades

# Exemple: Lectura d'un bloc de 3 paraules



- a) El master:
  - Posa l'adreça al bus (AD0-AD31)
  - Senyal el tipus d'operació a realitzar (C0\*-C3\*)
  - Activa FRAME\* per senyalar l'inici de transferència
- b) L'esclau descodifica i reconeix la seva adreça
- c) El mestre allibera el bus de dades i senyala a BE0\*-BE3\* quines línies transporten les dades i activa IRDY\* per senyalar que està preparat per rebre la primera dada.
- d) Quan l'esclau té la primera dada vàlida:
  - Activa DEVSEL\* per dir que ha reconegut la seva adreça
  - Posa la dada al bus de dades i activa TRDY\* per dir que la dada és al bus
- e) El master llegeix la dada
  - A partir d'aquí, mentre està actiu el senyal FRAME\*, es llegeix una dada a cada cicle (sempre que l'esclau no desactivi TRDY\*)
- f) L'esclau necessita més d'un cicle per deixar la segona paraula al bus
  - Desactiva TRDY\* fins que té la dada preparada
- g) El master no està preparat per rebre la tercera paraula
  - Desactiva IRDY\* fins que estigui apunt per rebre correctament la següent dada
- h) Transferència de l'última paraula
  - El master desactiva FRAME\* per senyalar el final de la transferència del bloc
- i) El master desactiva IRDY\* i l'esclau desactiva TRDY\* i DEVSEL\*
  - El bus queda lliure per la següent transferència

# Bus PCI : Protocol d'arbitratge

- Protocol centralitzat en estrella

- Cada master es connecta a l'àrbitre mitjançant dues línies dedicades

- ❑ REQ: petició de bus

- ❑ GNT: Concessió de bus

- L'especificació de PCI no dona cap algoritme d'arbitratge particular

- ❑ Poden utilitzar-se diferents tipus d'algorismes

- ✓ FIFO

- ✓ Prioritat fixa

- ✓ Prioritat variable

- ✓ Rotatori

- ✓ ..

