

# Pràctica 3. Sistemes Digitals

## Disseny d'un temporitzador

Pere Palà - Alexis López

Abril del 2023

Volem dissenyar un temporitzador que realitzarà un compte enrere des d'un cert valor (l'anomenarem valor inicial) fins a zero. Començarà a comptar amb l'activació d'un senyal **start** i es podrà aturar en qualsevol moment amb un senyal **stop**. També hi haurà un senyal **reset** per tornar a posar el comptador al valor inicial.

El temporitzador ha de representar el temps transcorregut en dècimes de segon, entre 99 i 0 dècimes, en dos displays de 7 segments. És a dir, en el display de l'esquerre s'ha de mostrar els segons de 9 a 0 i en el display de la dreta les dècimes de 9 a 0. Per tant, el valor màxim des del que podem comptar, serà de 99 dècimes de segon.

Un cop el comptador arribi a zero, s'indicarà realitzant intermitències en els displays: 0,5 segons amb els displays desactivats i 0,5 segons mostrant alguns segments actius. Fins que no s'activi el senyal de **reset** o de **stop** no s'ha d'aturar aquest efecte visual.

Per a la realització del disseny, disposem d'un senyal **clk** de freqüència 100 kHz com a referència de temps.

Recordeu de fer l'estudi previ! Això és imprescindible per poder accedir al laboratori.

## 1 Disseny del sistema

El disseny es realitzarà en mòduls. El primer d'ells ha de produir cadascun dels dos dígitos codificats en BCD. Un segon mòdul (que serà instanciat dues vegades) s'encarregarà de realitzar la traducció de BCD a codi de 7 segments.

*Previ 1.* Dibuixeu un diagrama de blocs corresponent al *sistema complet*.

*Previ 2.* En un primer disseny, el valor inicial estarà escrit en el codi VHDL com a constant. Com implementareu l'acció corresponent als senyals **start**, **stop** i **reset**? Tingueu en compte que amb l'activació del senyal **reset** també volem aturar el cronòmetre. Pista: Penseu què ha de passar si la seqüència successiva d'esdeveniment és, per exemple: **reset**, **start**, **stop**, **start**, **stop**, **stop**, **reset**, **start**, **finalització**, **start**, **finalització**, **reset**, **start**, **finalització**, **stop**.

*Previ 3.* Descriuiu el mòdul que entrega els dos dígitos codificats en BCD `BCDx2counter.vhd`. Atenció: Definiu acuradament cadascun dels senyals interns

del vostre disseny; Feu un disseny sintetitzable completament síncron; Presteu atenció a la freqüència de rellotge.

*Previ 4.* Descriuiu el mòdul que converteix de BCD a codi 7 segments `BCD2seg.vhd`.

*Previ 5.* Presenteu els fitxers de test i els cronogrames resultants del test dels principals senyals implicats en cadascun dels dos mòduls. Nota: Per fer les simulacions podeu utilitzar unes unitats de temps més petites.

Per configurar el valor inicial des del que volem comptar, podem utilitzar un altre botó, anomenat `adjust`, per entrar en el mode d'ajustament. Per incrementar o decrementar aquest valor, podem utilitzar els mateixos botons de `start/+` i `stop/-`. A cada pulsació d'aquests, s'incrementarà o es decrementarà una dècima de segon el valor inicial. Per sortir del mode d'ajustament, s'haurà de tornar a prémer el botó `adjust`. Compte! els botons de la placa de suport tenen molts rebots i, per tant, haureu de dissenyar un sistema robust davant del fenomen del *bouncing*, per poder detectar els flancs correctament.

*Previ 6.* Descriuiu un nou mòdul anomenat `BCDx2counterv2.vhd` que sigui similar al `BCDx2counter.vhd` però que permeti configurar el valor inicial utilitzant els tres botons esmentats. Presenteu els fitxers de test i els cronogrames del test dels principals senyals implicats. Recordeu en simular els rebots dels botons!

## 2 En el laboratori

*Tasca 1.* Implementeu el sistema dissenyat en el Quartus utilitzant el mòdul `BCDx2counter.vhd`. Heu d'utilitzar 3 polsadors de la placa de suport com a `start`, `stop` i `reset`. Consulteu el manual de pràctiques per nombrar els PINs correctament.

Nota: Al prémer els polsadors, aquests, generen un '0' a la seva sortida. Per tant serà necessari negar els senyals en el disseny del Quartus. Per fer-ho, haurem d'inserir portes lògiques NOT als senyals d'entrada de la següent forma: `insert -> symbol`. Les trobareu a les llibreries del quartus: `primitives/logic/`

*Tasca 2.* Canvieu el mòdul `BCDx2counter.vhd` pel `BCDx2counterv2.vhd`, utilitzant el botó que queda lliure de la placa de suport per entrar en el mode d'ajustament del valor inicial del temporitzador.