

# Sistemes Digitals

## Control. 27 d'abril de 2023

Temps per a la resolució: 2 hores.

### 1 Problema: Sistema d'alarma (70%)

Se'ns demana dissenyar un sistema genèric d'alarma per sensors. Aquest sistema tindrà un port d'entrada d'un bit anomenat **sensor** que valdrà '1' quan hi hagi algun problema en algun sensor i, per tant, voldrem activar l'alarma.

També tindrà una entrada anomenada **en** que si val '0' el sistema estarà en estat de repòs, no atindrà els sensors i desactivarà totes les sortides. Si **en** = '1' el sistema passa a l'estat d'alerta i activa un port de sortida anomenat **led**.

Si durant l'estat d'alerta els sensors detecten un problema, el sistema passa a l'estat d'alarma, on es queda durant 5 segons fins que passa a l'estat alarma auditiva.

Durant l'estat d'alarma el senyal **led** es desactiva i durant l'estat d'alarma auditiva el sistema activa el senyal de sortida **altaveu**.

Aquest sistema tindrà un rellotge **clk** d'1 kHz.

Per resoldre el problema respongueu les següents preguntes:

1. Dibuixeu un diagrama de blocs corresponent al *sistema complet*. Feu un disseny sintetitzable completament síncron;
2. Escriviu l'**entity** i l'**architecture** del sistema. Atenció: Definiu acuradament cadascun dels senyals interns del vostre disseny;
3. Dibuixeu un cronograma (incloent els senyals interns) que verifiqui el correcte funcionament del vostre sistema.

## 2 Qüestions (30%)

1. Feu les següents operacions treballant amb vectors binaris amb signe i d'amplada de 6 bits. Indiqueu, també, si hi ha hagut Overflow i/o Carry de sortida:
  - a)  $-25 - 5$
  - b)  $27 + 5$
2. A la pràctica 1 ens vam trobar un fenomen indesitjat en algunes transicions a causa de que mostràvem en els displays el valor del registre de desplaçament constantment. Expliqueu molt breument com ho vam intentar solucionar.
3. Aquest codi conté un o més *warning* o errors. Digueu quin/s és/són i corregiu-lo/s.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity porta_and is
port ( a : in std_logic;
      b : in std_logic;
      s : out std_logic);
end porta_and;

architecture behav of porta_and is
begin
  process(a)
  begin
    if (a = 1 and b = 1) then
      s <= '1';
    else
      s <= '0';
    end;
  end process;
end behav;
```