

Sistemes Digitals

Examen Parcial. 4 d'abril de 2019

Temps per a la resolució: 2 hores.

1 Problema: Codificador de trames d'infraroigs (50%)

Al laboratori hem vist com implementar un receptor de senyals infraroigs seguint l'estàndard RC5. L'objectiu d'aquest exercici és dissenyar el sistema que aniria dins un comandament remot per codificar les trames de bits.

Recordem que en el protocol RC5 cada bit té una durada de cicle d'1.778 ms i el '0' i '1' es codifiquen enviant senyal infraroig durant la primera o segona meitat de cicle, respectivament. Alhora, la informació és agrupada en trames de 14 bits:

- S1 i S2: Bits d'inici que sempre tenen valor '1'
- T: Bit de *toggle* que canvia de valor cada vegada que es prem un botó
- Adreça: 5 bits d'identificador del dispositiu que sempre tenen valor 0x00 (TV)
- Comanda: 6 bits d'identificador del botó premut

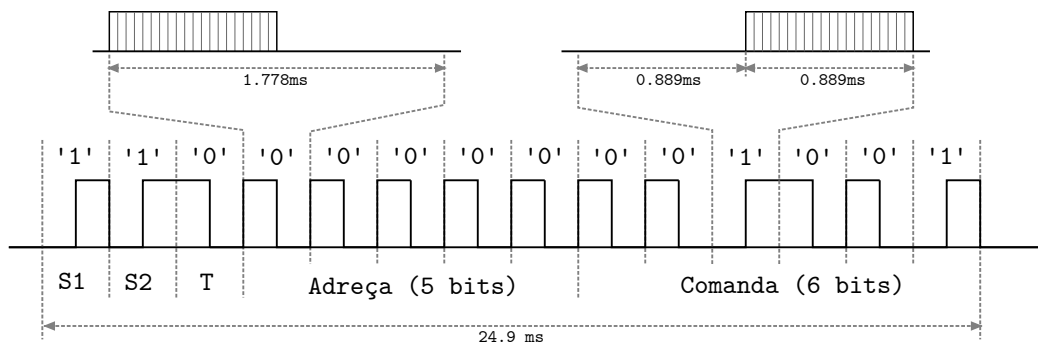


Figura 1: Trama RC5 corresponent al botó '9'

Dissenyu un mòdul codificador en VHDL, el qual té les entrades `envia` (1 bit), `boto` (6 bits) i `clock` (1 bit) de freqüència 1 MHz; i la sortida `rc5` (1 bit).

Cada vegada que es rebí un flanc de pujada d'`envia` caldrà transmetre una nova trama RC5 per la sortida, enviant en els bits de `Comanda` el valor que hi hagi a `boto`. El bit de `toggle` s'ha d'invertir a cada trama transmesa.

Per simplificar el problema podeu considerar que mai es premerà un botó mentre s'està realitzant una transmissió i que l'entrada `boto` estarà estable des del flanc d'`envia` fins a acabar la transmissió.

1. Escriviu l'`entity` i `architecture` del sistema. Feu un disseny sintetitzable completament síncron. Tingueu en compte que el senyal `envia` pot canviar de forma asíncrona al sistema.
2. Dibuixeu un cronograma que verifiqui el correcte funcionament del sistema.

2 Qüestions (50 %)

1. Si `a` és un senyal del tipus `std_logic`, quin és el cronograma resultant d'executar el següent codi VHDL?

```
a <= 'Z', 'H' after 100 ns, '0' after 200 ns, '1' after 300 ns;  
a <= '0';
```

2. Realitzeu les següents operacions utilitzant la representació binària amb signe i 6 bits de precisió. Indiqueu si hi ha Carry i/o Overflow i en quins casos es necessita un bit més de precisió per emmagatzemar el resultat.

- a) $30 + 6$
- b) $25 - 26$
- c) $-20 - 12$

3. Què és el camí crític d'un sistema digital i com afecta a la freqüència màxima de rellotge?

4. Per a què serveixen els senyals `H_sync` i `V_sync` d'un monitor VGA? Descriviu els mòduls que heu utilitzat per generar-los al laboratori (no és necessari escriure'n el codi VHDL).

5. Dibuixeu el cronograma resultant del següent codi VHDL:

```
signal q: unsigned(1 downto 0) := "00";  
signal flag1, flag2: std_logic := '0';  
begin  
process(clk)  
begin  
    if rising_edge(clk) then  
        q <= "00";  
        flag1 <= '0';  
        if q /= 2 then  
            q <= q + 1;  
        else  
            flag1 <= '1';  
        end if;  
    end if;  
end process;  
flag2 <= '1' when q = 2 else '0';
```

