

# Sistemes Digitals

## Control. 11 d'abril de 2013

Temps per a la resolució: 2 hores.

### 1 Detector de seqüència (70%)

Volem dissenyar un sistema, al qual li arriben les dades en sèrie, que detecti la seqüència: 101. El sistema tindrà com a entrades: un senyal de rellotge `clk`, les dades en sèrie `serial_in` i un reset `reset`. I com a sortida: un senyal `flag` que s'activi quan s'hagi detectat la seqüència. Aquest `flag` quedarà actiu fins que l'usuari no faci un reset al sistema.

Per resoldre el problema respongueu les següents preguntes:

1. Dibuixeu un diagrama de blocs corresponent al *sistema complet*.
2. Escriviu l'`entity` i l'`architecture` del sistema. Atenció: Definiu acuradament cadascun dels senyals interns del vostre disseny; Feu un disseny sintetitzable completament síncron;
3. Dibuixeu un cronograma (incloent els senyals interns) que verifiqui el correcte funcionament del vostre sistema.

## 2 Qüestions 30%

1. Si treballem amb vectors de 5 bits en format complement a dos, quin rang de valors podem representar?
2. Feu les següents operacions treballant amb vectors binaris amb signe i d'amplada de 8 bits. Indiqueu, també, si hi ha hagut Overflow i/o Carry de sortida:
  - a) 120 - 20
  - b) -80 - 70
3. És correcte el codi següent? Justifiqueu la resposta.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity counter is
port( clk      : in std_logic;
      reset    : in std_logic;
      q        : out std_logic_vector(3 downto 0));
end counter;
architecture behav of counter is
begin
  process(clk)
  begin
    if rising_edge(clk) then
      if reset = '1' then
        q <= "0000";
      elsif q = 9 then
        q <= "0000";
      else
        q <= q + 1;
      end if;
    end if;
  end process;
end behav;
```

4. Escriviu l'**architecture** corresponent a un multiplexor de 8 entrades.