

Microelectrònica

Examen Final. 23 de gener de 2025

EPSEM. Enginyeria de Sistemes TIC
Temps: 2 hores.

1. (1 punt) Expliqueu per què en les connexions des de la capa de metall al substrat de tipus P dels transistors NMOS és necessari incorporar entre el contacte metàl·lic i el substrat P una zona de transició dopada P+.
2. (1 punt) Enumereu cinc dels múltiples requisits que ha de complir tota sala blanca destinada a la fabricació de circuits integrats.
3. (1 punt) Justifiqueu els noms de *sortidor* i *drenador* que reben els terminals d'un transistor MOS.
4. (1 punt) Es vol dissenyar un transistor MOS de canal N per ser utilitzat com a interruptor. En particular, es vol aconseguir que en conducció presenti una resistència no superior a $R_{DSon} = 2 \Omega$ quan $V_{GS} = 5 \text{ V}$. Sabent que $K' = 20 \mu\text{A}/\text{V}^2$ i $V_T = 1 \text{ V}$, determineu la seva relació W/L (suposeu que en conducció $V_{DS} \simeq 0$).
5. (2 punts) El diagrama de la Figura 1 correspon al d'una porta lògica CMOS d'una sortida, dissenyada amb Magic VLSI Layout Tool.

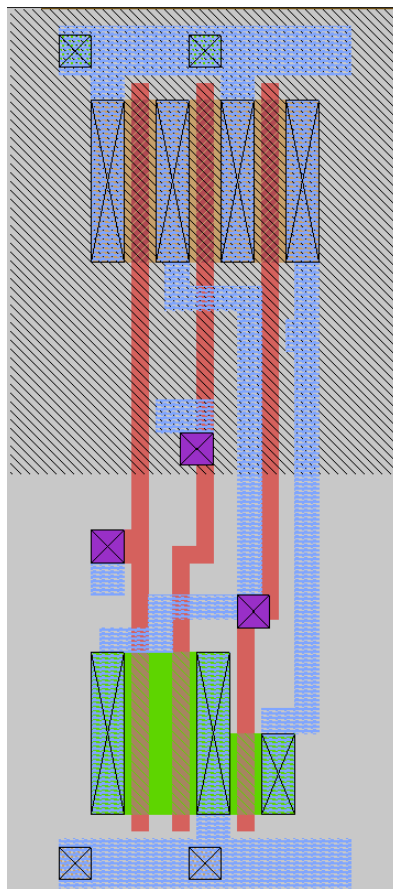


Figura 1

- a) A partir del diagrama proporcionat, dibuixeu l'esquema circuital de la porta, identificant clarament les entrades i la sortida.
- b) Determineu la taula de veritat així com l'expressió booleana de la funció lògica realitzada.
6. (2 punts) Indiqueu si les següents afirmacions són CERTES o FALSES. Justifiqueu la resposta en cada cas.
- a) Un material semiconductor de tipus P es pot aconseguir dopant silici amb impureses pentavalents com el fòsfor.
- b) La reducció en l'escala d'integració de la tecnologia CMOS permet reduir les capacitats paràsites dels dispositius i alhora mantenir-ne la conductivitat.
- c) El gravat és un procés que consisteix en la implantació d'ions en un semiconductor intrínsec per crear materials de tipus P o N.
- d) El consum de potència d'un circuit digital CMOS augmenta proporcionalment amb la freqüència de rellotge aplicada.
- e) Una memòria flash de tipus MLC es caracteritza per emmagatzemar únicament dos nivells de càrrega a la porta flotant dels transistors.
7. (2 punts) El circuit de la Figura 2 mostra l'esquema bàsic d'un amplificador amb transistor NMOS.

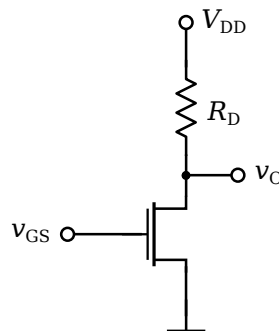


Figura 2

La tecnologia utilitzada és de $0,18 \mu\text{m}$ amb $K' = 20 \mu\text{A}/\text{V}^2$, $V_T = 0.5 \text{ V}$ i $V_{DD} = 1,5 \text{ V}$. Es demana:

- a) Sabent que $R_D = 5 \text{ k}\Omega$ i que es vol que la tensió de sortida en el punt de treball sigui la meitat de la d'alimentació V_{DD} , dimensioneu el transistor per tal d'obtenir una amplificació en petit senyal $|A_v| = 10$.
- b) Determineu el valor al que cal fixar el punt de treball de la tensió d'entrada del transistor, V_{GSQ} , necessari per aconseguir el funcionament desitjat.
- c) Comenteu diverses possibilitats per implementar la resistència R_D en un circuit integrat.