

Microelectrònica

Examen Parcial. 25 de novembre de 2022

EPSEM. Enginyeria de Sistemes TIC
Temps: 1h 45m.

- (1 punt) En el context dels circuits integrats i la microelectrònica, definiu el concepte associat a les següents sigles:
 - ASIC
 - SoC
- (1 punt) Expliqueu quina finalitat té i en què consisteix el procés de fabricació de lingots de silici pel mètode de Czochralski.
- (1 punt) Expliqueu què s'entén per gravat en els processos de litografia i les principals tècniques per realitzar-lo.
- (1 punt) Descriviu el principal motiu pel qual en reduir l'escala d'integració en la fabricació de xips tendeix a reduir-se el consum de potència.
- (1 punt) Considereu el disseny d'un transistor MOS que ha de funcionar com a interruptor controlat per tensió. Determineu el tipus i les dimensions del transistor sabent que la tensió de control (porta) v_G pot prendre els valors 0 V (transistor en tall) ó 5 V (transistor en conducció) i que es vol que la resistència en conducció R_{DSon} no superi els 10 Ω .
Dades de la tecnologia utilitzada: CMOS d'1.8 μm , amb dispositius d'amplada mínima $W = 2.4 \mu\text{m}$, $K'_P = 20 \mu\text{A}/\text{V}^2$, $K'_N = 40 \mu\text{A}/\text{V}^2$, $V_{TP} = -0.5 \text{ V}$ i $V_{TN} = 0.3 \text{ V}$.
- (2 punts) Dissenyeu un inversor CMOS de dimensió mínima alimentat a 5 V tal que quan la tensió d'entrada sigui $v_i = 2,5 \text{ V}$ la tensió de sortida sigui exactament la mateixa, $v_o = 2,5 \text{ V}$. Dibuixeu l'esquema circuital indicant les dimensions dels transistors.
Dades de la tecnologia utilitzada: CMOS d'1.8 μm , amb dispositius d'amplada mínima $W = 2.4 \mu\text{m}$, $K'_P = 20 \mu\text{A}/\text{V}^2$, $K'_N = 40 \mu\text{A}/\text{V}^2$, $V_{TP} = -0.5 \text{ V}$ i $V_{TN} = 0.3 \text{ V}$.
- (3 punts) Per al circuit representat a la Figura 1:
 - Doneu la taula de veritat i determineu l'expressió de la funció lògica F implementada.
 - Sabent que tots els transistors són de dimensió mínima ($W_{min} = 240 \text{ nm}$, $L_{min} = 180 \text{ nm}$), i que aquest circuit ha de controlar una càrrega capacitiva molt més gran que les capacitats paràsites dels transistors, identifiqueu les circumstàncies sota les quals els temps de transició entre estats a la sortida seran més grans.

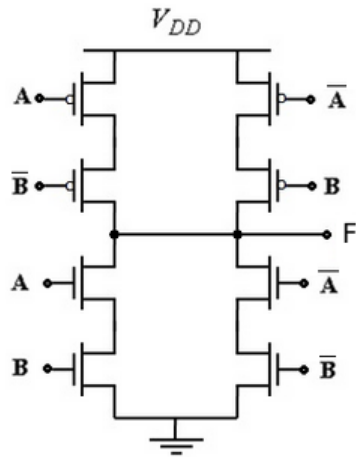


Figura 1

- c) Proposeu una modificació del circuit anterior que permeti corregir el comportament en les transicions més desfavorables, i així aconseguir un funcionament general més equilibrat (suposeu $K'_P = K'_N/3$ i $V_{TP} = -V_{TN}$).
- d) Determineu el nombre total de transistors que requerirà la integració de la funció lògica F basada en el circuit de la Figura 1.