

# Microelectrònica

## Examen Final. 29 de gener de 2021

EPSEM. Enginyeria de Sistemes TIC  
Temps: 2 hores.

- (2 punts) Indiqueu si les següents afirmacions són CERTES o FALSES. Justifiqueu la resposta en cada cas.
  - Un semiconductor intrínsec té major conductivitat elèctrica que un semiconductor extrínsec.
  - En un transistor NMOS de buidament, la tensió llindar de conducció és positiva.
  - La reducció en l'escala d'integració de circuits digitals comporta que el consum de corrent dels dispositius així com la potència dissipada per aquests sigui menor.
  - Les memòries flash suporten un nombre de cicles d'escriptura limitat a causa dels cicles de lectura, durant els quals l'òxid que envolta la porta flotant dels transistors es degrada progressivament.

- (2 punts) Considereu el disseny d'un transistor NMOS que ha de funcionar com a interruptor controlat per tensió. Determineu les dimensions del transistor sabent que la tensió  $v_{GS}$  pot prendre els valors 0 V ó 5 V i que es vol que la resistència en conducció  $R_{DSon}$  no superi els 10  $\Omega$ .

*Dades de la tecnologia utilitzada:* CMOS d'1.8  $\mu\text{m}$ , amb dispositius d'amplada mínima  $W = 2.4 \mu\text{m}$ ,  $K'_P = 20 \mu\text{A}/\text{V}^2$ ,  $K'_N = 40 \mu\text{A}/\text{V}^2$ ,  $V_{TP} = -0.5 \text{ V}$  i  $V_{TN} = 0.3 \text{ V}$ .

- (2 punts) Per al circuit representat a la Figura 1:

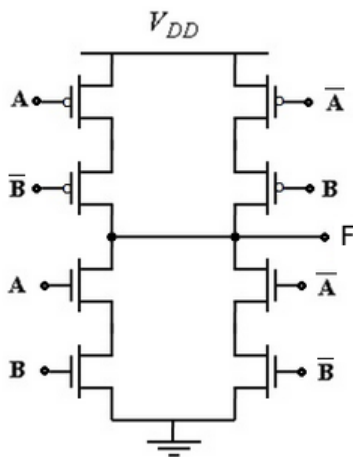


Figura 1

- Doneu la taula de veritat i determineu l'expressió de la funció lògica  $F$  implementada.
- Sabent que tots els transistors són de dimensió mínima ( $W_{min} = 240 \text{ nm}$ ,  $L_{min} = 180 \text{ nm}$ ), i que aquest circuit ha de controlar una càrrega capacitiva molt més gran que les capacitats paràsites dels transistors, identifiqueu les circumstàncies sota les quals els temps de retard de pujada i/o de baixada seran més grans.

- c) Proposeu una modificació del circuit anterior que permeti corregir el comportament en les transicions més desfavorables, i així aconseguir un funcionament general més equilibrat (suposeu  $K'_P = K'_N/3$  i  $V_{TP} = -V_{TN}$ ).
- d) Determineu el nombre total de transistors que requerirà la integració de la funció lògica  $F$  basada en el circuit de la Figura 1.
4. (2 punts) La Figura 2 mostra els esquemes bàsics de dos amplificadors, un basat en un transistor MOS i l'altre basat en un transistor BJT. La relació i-v de cadascun dels transistors es mostra a la Figura 3.

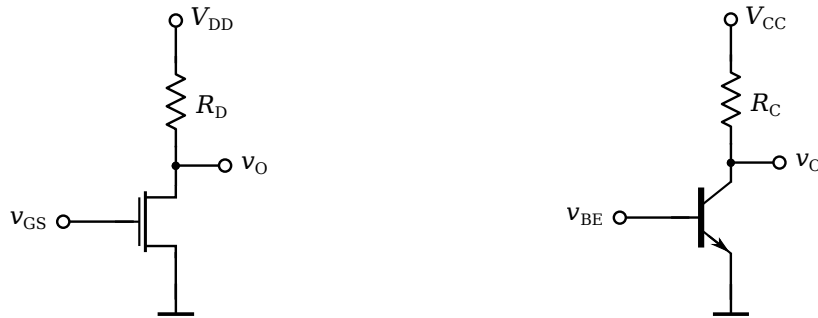


Figura 2

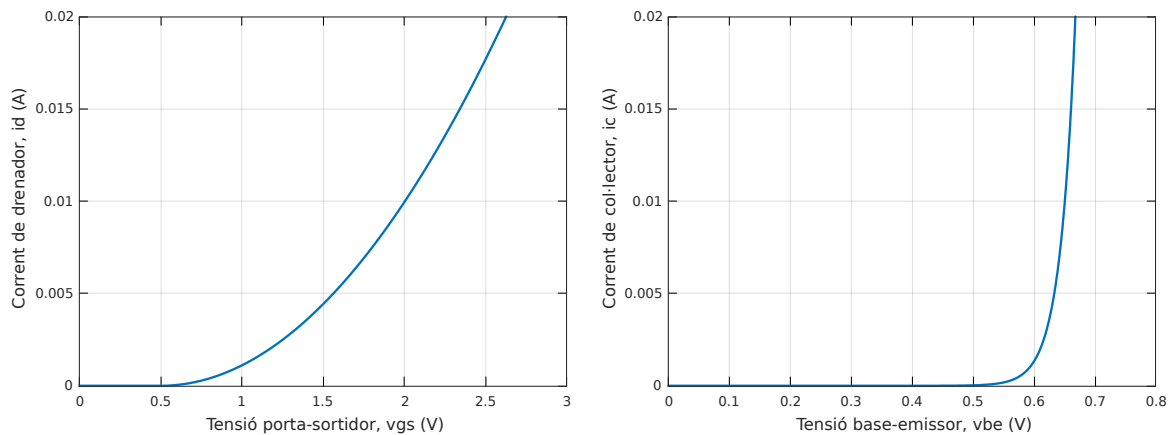


Figura 3

La tensió d'alimentació és  $V_{DD} = V_{CC} = 5 \text{ V}$  i  $R_D = R_C = 250 \Omega$ . Es demana:

- a) Sabent que es vol que la tensió de sortida  $v_o$  en el punt de treball sigui la meitat de la d'alimentació,  $V_{DD}$  i  $V_{CC}$ , determineu quin ha de ser el valor dels corrents de drenador i de col·lector.
- b) Determineu el valor al que cal fixar el punt de treball de la tensió d'entrada de cada transistor,  $V_{GSQ}$  i  $V_{BEQ}$ , necessaris per aconseguir el funcionament desitjat.
- c) Calculeu sobre les gràfiques proporcionades, de forma aproximada, quina és la transconductància proporcionada per cada transistor en el punt de treball.
- d) A partir del resultat de l'apartat anterior, calculeu quina serà l'amplificació de tensió en condicions de petit senyal de cada amplificador.
5. (2 punts) Per al *layout* representat a la Figura 4, indiqueu sobre la mateixa figura cadascun dels diferents materials i estructures que hi apareixen.

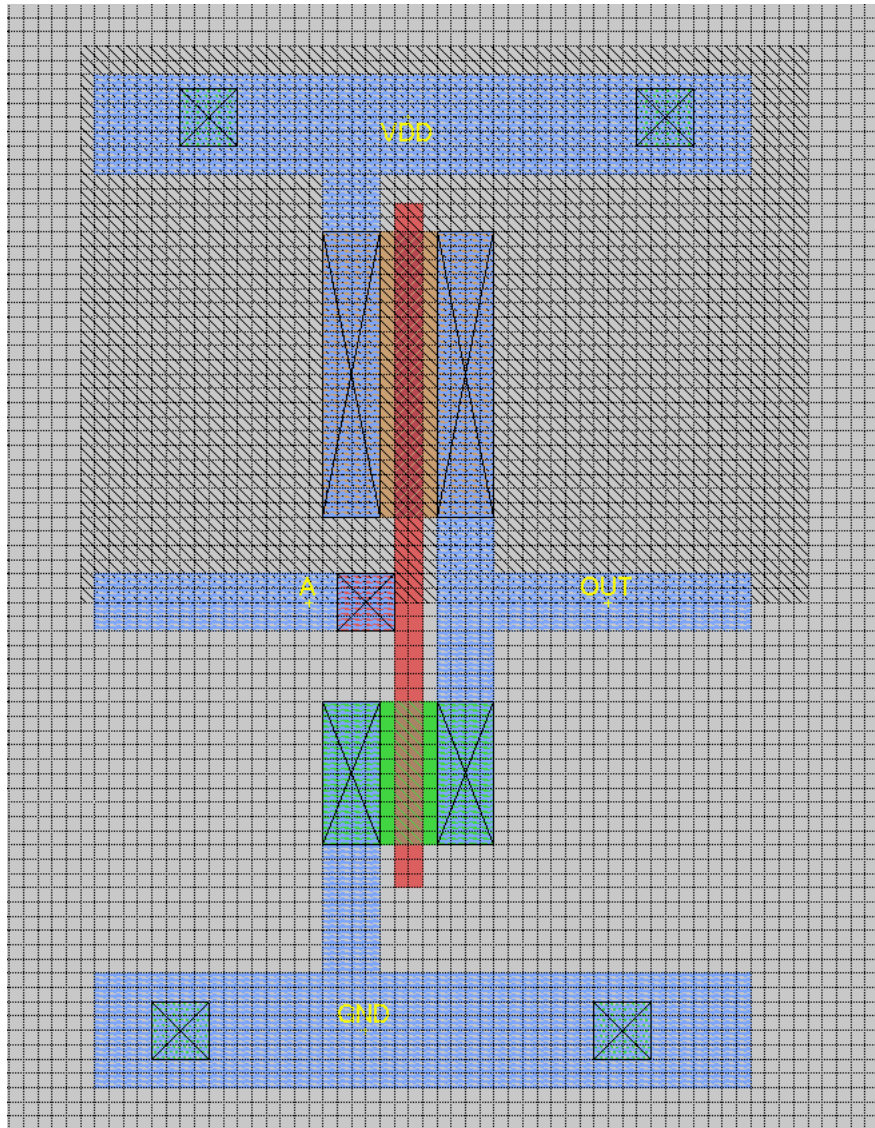


Figura 4