

Introducció als Sistemes Digitals

Pere Palà i Jordi Bonet

11 de novembre de 2018

Exercici 1 (Simplificació booleana). Simplifiqueu les expressions següents fent servir teoremes i propietats de la lògica booleana. Escriviu a cada pas quina llei, propietat o teorema feu servir. Quantifiqueu l'estalvi que heu aconseguit en nombre de portes.

1. $f(X, Y) = XY + X\bar{Y}$
2. $f(X, Y) = (X + Y)(X + \bar{Y})$
3. $f(X, Y, Z) = \bar{Y}Z + \bar{X}YZ + XYZ$
4. $f(X, Y, Z) = (X + Y)(\bar{X} + Y + Z)(\bar{X} + Y + \bar{Z})$
5. $f(X, Y, Z) = X + XYZ + \bar{X}YZ + \bar{X}Y + WX + W\bar{X}$

Exercici 2 (Formes canòniques). Considereu la funció

$$f(A, B, C, D) = \sum m(0, 1, 2, 7, 8, 9, 10, 15)$$

1. Escriviu aquesta funció en la forma canònica de minterms.
2. Reescriu aquesta funció en la forma canònica de maxterms.
3. Escriviu $\bar{f}$ en la notació "d'm" i com a expressió canònica de minterms.
4. Escriviu $\bar{f}$ en la notació "d'M" i com a expressió canònica de maxterms.

Exercici 3 (Formes canòniques). Considereu la funció

$$f(A, B, C) = AB + \bar{A}\bar{C} + A\bar{C}$$

1. Escriviu aquesta funció en la forma canònica de minterms.
2. Reescriu aquesta funció en la notació "d'm".
3. Escriviu $\bar{f}$ en la forma canònica de maxterms.
4. Escriviu $\bar{f}$ en la notació "d'M".
5. Implementeu f i $\bar{f}$ emprant tan sols portes NAND.
6. Implementeu f i $\bar{f}$ emprant tan sols portes NOR.

Exercici 4 (BCD-Gray). Considereu un conversor de codi BCD a codi gray. El codi gray és un sistema de numeració en el que dos valors successius difereixen només en un bit.

Un conversor d'aquest tipus té la taula de veritat següent:

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>W</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	1	1	1	0
0	1	1	0	1	0	1	0
0	1	1	1	1	0	1	1
1	0	0	0	1	0	0	1
1	0	0	1	1	0	0	0

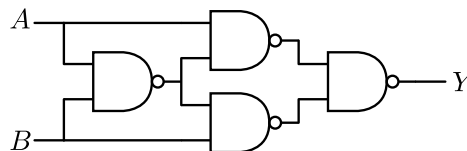
Escriviu les expressions lògiques simplificades per a les sortides *W*, *X*, *Y* i *Z*.

Exercici 5 (Divisors). Considereu un sistema combinacional que determina si un nombre codificat en binari entre 0 i 15 es divisible per 3, per 6 o per 7 activant les sortides *DIV3*, *DIV6* o *DIV7*.

Per assolir aquest objectiu,

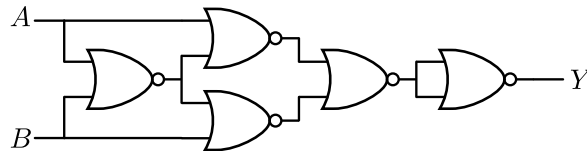
- Escriviu les taules de veritat.
- Les funcions lògiques simplificades en forma de suma de productes.
- Dibuixeu la implementació final amb portes lògiques.

Exercici 6 (Cronograma / Digital Waveform). Una de les opcions per a construir una porta XOR a partir de portes NAND és la següent:



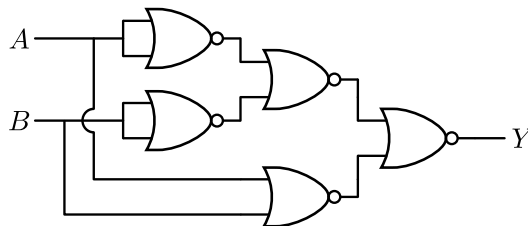
Considereu que cada porta NAND introdueix un retard Δ . Dibuixeu el cronograma resultant de tenir unes entrades que prenen els valors $AB=\{00, 01, 11, 10, 00\}$.

Exercici 7 (Cronograma / Digital Waveform). Una de les opcions per a construir una porta XOR a partir de portes NOR és la següent:



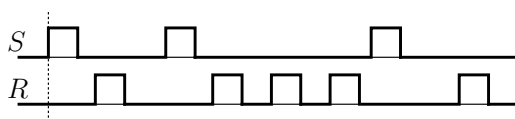
Considereu que cada porta NOR introdueix un retard Δ . Dibuixeu el cronograma resultant de tenir unes entrades que prenen els valors $AB=\{11, 01, 00, 10, 00\}$.

Exercici 8 (Cronograma / Digital Waveform). Una altra opció per a construir una porta XOR a partir de portes NOR és la següent:

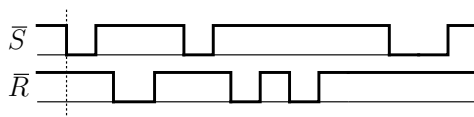


Considereu que cada porta NOR introdueix un retard Δ . Dibuixeu el cronograma resultant de tenir unes entrades que prenen els valors $AB = \{01, 11, 10, 00, 11\}$.

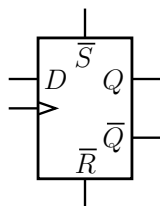
Exercici 9 (Latch SR). Un latch SR amb entrades S i R (atenció, no és $\bar{S}$ i $\bar{R}$) té inicialment la sortida $Q = 0$. Dibuixeu el cronograma de la sortida Q si les entrades són les que es representen a continuació:



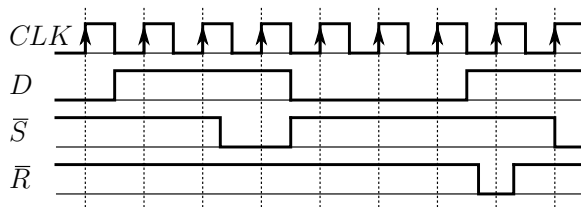
Exercici 10 (Latch SR actiu baix). Un latch SR amb entrades $\bar{S}$ i $\bar{R}$ té inicialment la sortida $Q = 1$. Dibuixeu el cronograma de la sortida Q si les entrades són les que es representen a continuació:



Exercici 11 (Flip-Flop de tipus D amb Set i Reset asíncrons). Considereu el Flip-Flop de tipus D amb Set i Reset asíncrons representat a continuació.



Determineu el cronograma de la sortida Q si les entrades venen determinades per:

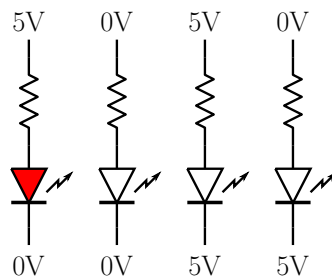


Exercici 12 (Display de 7 segments multiplexat). Al laboratori hem construït un circuit que mostra en un display de 7 segments un nombre A codificat en BCD a les quatre entrades A_3 , A_2 , A_1 i A_0 . A_3 és el bit més significatiu (té un pes de 8) i A_0 el menys significatiu (té un pes de 1). Per aconseguir aquest objectiu varem fer servir un descodificador de 7 segments del tipus 7447. Això permet mostrar els nombres entre 0 i 9.

Per visualitzar nombres de dues xifres (entre 0 i 99) es podria repetir aquest muntatge. Un nombre estaria format per dos dígit A i B , on A representa les desenes i B representa les unitats. A es codificaria en BCD mitjançant els quatre bits $A_3...A_0$ i B es codificaria en BCD mitjançant els quatre bits $B_3...B_0$. Aleshores, amb dos descodificadors 7447 podríem mostrar les dues xifres en dos displays de 7 segments posats de costat.

Un descodificador 7447 és, però, un circuit d'una complexitat relativament gran. Per estalviar un d'aquests descodificadors es pot fer ús de la propietat que té l'ull humà de ser insensible a canvis molt ràpids: Si un LED està encès 10 s i apagat 10 s això es veu clarament, però si està encès 10 ms i apagat 10 ms l'ull creu percebre il·luminació tota l'estona (tot i que de menor intensitat —cosa que es pot arreglar incrementant la llum emesa quan està actiu). El cinema i els *dimmers* es basen precisament en aquest efecte.

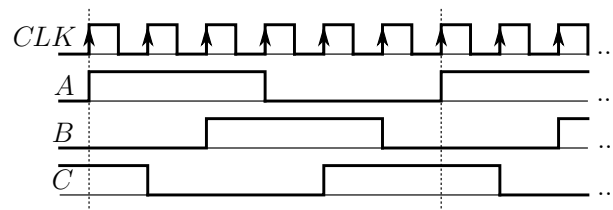
Considerant que es disposa d'un senyal de control C que canvia d'estat cada 10 ms, es podrien fer servir multiplexors per tal que el 7447 rebi alternativament els bits $A_3...A_0$ o $B_3...B_0$. El 7447 donaria senyal simultàniament als ànodes (terminal +) dels LEDs dels dos displays de 7 segments. Si els càtodes (terminal -) d'un display estan connectats a 0 V, aleshores aquest display mostrarà el dígit corresponent. Però si els càtodes estan connectats a 5 V aquest display no mostrarà res:



Amb aquesta informació, dibuixeu l'esquema d'un display multiplexat, capaç de mostrar en dos displays de 7 segments els dos dígit representats per $A_3...A_0$ i $B_3...B_0$ fent servir únicament un descodificador 7447.

Exercici 13 (Registre de desplaçament amb control de direcció). Dissenyeu un registre de desplaçament de 8 bits $Q_7...Q_0$ que disposa d'un senyal de comanament $R/\bar{L}$, de forma que quan aquest val 1 desplaça en el sentit $Q_k = Q_{k-1}$ i quan val 0 desplaça en sentit contrari $Q_k = Q_{k+1}$ cap a l'esquerra. La càrrega és en sèrie per una única entrada D .

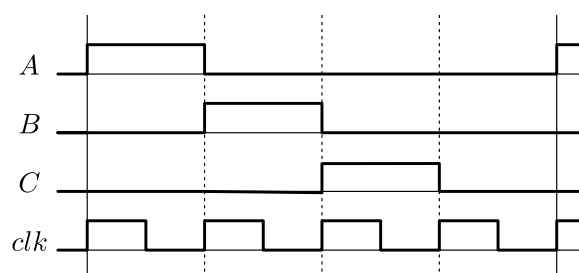
Exercici 14 (Generació de 3 senyals desfasats 120° entre sí). A partir d'un senyal de clock, genereu els senyals quadrats A , B i C desfasats 120° entre ells, com s'indica al cronograma següent:



Observacions:

- Tres senyals desfasats 120° entre sí s'empren, per exemple, per fer funcionar motors trifàsics.
- Anomenem *senyal quadrat* un senyal periòdic que està a nivell alt durant mig període i a nivell baix l'altre mig període.
- El *desfasament* entre dos senyals periòdics es pot mesurar en graus. Un desfasament de 0° indica que els dos senyals estan en fase, un desfasament de 90° indica que els dos senyals estan desfasats un quart de període, un desfasament de 180° indica que estan desfasats mig període i així successivament.

Exercici 15 (Generació de senyals). Considereu la generació periòdica dels senyals A , B i C del següent cronograma a partir d'un senyal de rellotge clk .



- Dissenyeu un circuit amb 3 flip-flops tipus D en què les seves sortides siguin directament els senyals A , B i C . En fer la taula de veritat considereu els estats que no apareixen al cronograma com a *don't care*.
- Dibuixeu el diagrama d'estats complet: tant els que apareixen al cronograma com els que no apareixen.
- Després d'activar el *set* en tots els flip-flops del disseny, quina seria la seqüència d'estats obtinguda?

Exercici 16 (Registre de desplaçament). Considereu la generació periòdica dels senyals A , B i C del cronograma de l'exercici anterior. Dissenyeu un circuit basat en un registre de desplaçament (fet amb diversos flip-flop tipus D) que permeti aconseguir la generació dels senyals A , B i C . Especifiqueu amb detall la inicialització de cada flip-flop.

Exercici 17. Tenim dos nombres *naturals* A i B , representats amb dos bits cadascun (A_1, A_0) (B_1, B_0). Volem dissenyar un circuit que indiqui amb un 1 lògic si és possible fer la resta $A-B$ en el conjunt dels nombres *naturals* $(0, 1, 2, \dots)$ i amb un 0 lògic la situació contrària.