

# Introducció als Sistemes Digitals

## Examen Parcial. 25 de novembre de 2022

Temps: 1 hora 30 minuts

1. (2 punts) Per mantenir la pressió  $p$  d'un dipòsit d'aire comprimit entre 6 bar i 8 bar, es disposa d'un compressor que es posa en marxa per sota de 6 bar, si estava aturat, i s'atura per sobre de 8 bar, si estava en marxa. Entre 6 bar i 8 bar no modifica el seu estat de funcionament. Utilitzant les variables:

- Indicador de pressió baixa:

$$I = 1 \text{ quan } p < 6 \text{ bar,}$$

$$I = 0 \text{ quan } p > 6 \text{ bar.}$$

- Indicador de pressió alta:

$$S = 1 \text{ quan } p > 8 \text{ bar,}$$

$$S = 0 \text{ quan } p < 8 \text{ bar.}$$

- Indicador d'estat del compressor:

$$M = 1 \text{ quan el compressor està en marxa,}$$

$$M = 0 \text{ quan el compressor està aturat.}$$

- Variable de control de l'estat (aturat/marxa) del compressor:

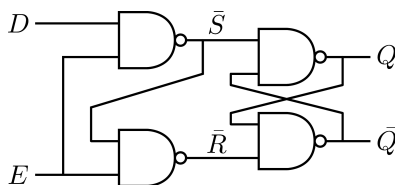
$$C = 1 \text{ provoca un canvi en l'estat del compressor,}$$

$$C = 0 \text{ manté l'estat del compressor.}$$

- 1.1. Indiqueu el nombre d'uns que apareixen a la taula de veritat SENSE comptabilitzar possibles valors *don't care*.

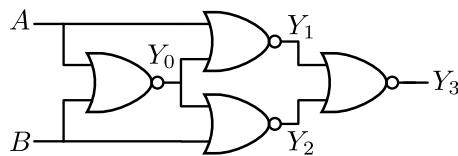
- 1.2. Doneu l'expressió més simple possible de la variable de control  $C$  en funció de la resta de variables.

2. (1 punt) Per al circuit de la figura,



- 2.1. Indiqueu quina de les afirmacions del full de respostes és FALSA.

3. (5 punts) Considereu diverses opcions per dissenyar un sumador aritmètic de dos nombres,  $A$  i  $B$  codificats en binari mitjançant dos bits,  $A = A_1A_0$  i  $B = B_1B_0$ . El resultat de la suma és un nombre,  $Y = A + B$ , codificat en binari mitjançant tres bits,  $Y = Y_2Y_1Y_0$ . Es recomana el·laborar la taula de veritat associada als bits d' $Y$  per respondre les següents preguntes:
- 3.1. Agrupant els elements del corresponent mapa de Karnaugh de forma òptima, indiqueu quines són les agrupacions de valor '1' que apareixen en el mapa d' $Y_0$ .
  - 3.2. Quines portes són necessàries per a la implementació d' $Y_0$ ?
  - 3.3. La implementació d' $Y_1$  amb un MUX 8:1 utilitzant  $A_1A_0B_1$  com a entrades selectores, quines portes lògiques addicionals requereix?
  - 3.4. La implementació d' $Y_2$  amb un MUX 4:1 utilitzant  $A_1A_0$  com a entrades selectores, quines portes lògiques addicionals requereix?
  - 3.5. En la implementació d' $Y_2$  amb un DEMUX 1:16 utilitzant  $A_1A_0B_1B_0$  com a entrades selectores més una porta OR, quantes entrades ha de tenir aquesta porta OR?
4. (2 punts) Una de les opcions per construir una porta XNOR a partir de portes NOR és la següent:



Representeu el cronograma dels senyals  $Y_0$ ,  $Y_1$ ,  $Y_2$  i  $Y_3$  quan les entrades  $AB$  segueixen la seqüència de valors '01', '00', '10' i '00'. Primer ignoreu l'existència de retard i després considereu un temps de propagació  $\Delta$  per a totes les portes.

- 4.1. Indiqueu quin és el màxim retard que s'observa en el cronograma d' $Y_2$  respecte del cronograma ideal sense retard.
- 4.2. Digueu en quines de les variables apareixen *glitches*.

Nom: \_\_\_\_\_

Codi: \_\_\_\_\_

INTRODUCCIÓ ALS SISTEMES DIGITALS – EXAMEN PARCIAL - 25-11-2022 – EPSEM - GRAU EN ENGINYERIA DE SISTEMES TIC

- Encercleu l'opció correcta. En cas de voler canviar la resposta, marqueu amb una creu la resposta rebutjada i encercleu la nova opció escollida.

- Cada resposta correcta suma 1 punt. Cada resposta incorrecta resta 0,25 punts.

- 
- |  |   |
|--|---|
| <p><b>1.1</b></p> <ul style="list-style-type: none"><li>a) 1</li><li>b) 2</li><li>c) 3</li><li>d) 4</li><li>e) Cap de les anteriors</li></ul>  | <p><b>3.3</b></p> <ul style="list-style-type: none"><li>a) 1 NOT</li><li>b) 1 AND i 1 OR</li><li>c) 2 NOT</li><li>d) 2 NOT, 2 AND i 1 OR</li><li>e) Cap de les anteriors</li></ul>  |
| <p><b>1.2</b></p> <ul style="list-style-type: none"><li>a) <math>C = I' M' + S M</math></li><li>b) <math>C = I S' M' + S M</math></li><li>c) <math>C = I M' + S M + I S</math></li><li>d) <math>C = I + S M</math></li><li>e) Cap de les anteriors</li></ul>   | <p><b>3.4</b></p> <ul style="list-style-type: none"><li>a) 2 NOT</li><li>b) 1 AND i 1 OR</li><li>c) 1 NAND i 1 NOR</li><li>d) 2 NOT, 2 AND i 1 OR</li><li>e) Cap de les anteriors</li></ul>   |
| <p><b>2.1</b></p> <ul style="list-style-type: none"><li>a) Quan <math>D = 1</math> i <math>E = 0</math>, Q manté l'estat</li><li>b) Quan <math>E</math> presenta un flanc ascendent, el valor de <math>D</math> acaba passant a Q (<math>Q = D</math>).</li><li>c) Quan <math>R' = 0</math>, llavors <math>Q = 0</math></li><li>d) Quan <math>D = 0</math> i <math>E = 1</math>, llavors <math>Q' = 0</math></li><li>e) Cap de les anteriors</li></ul> | <p><b>3.5</b></p> <ul style="list-style-type: none"><li>a) 4 entrades</li><li>b) 6 entrades</li><li>c) 8 entrades</li><li>d) 10 entrades</li><li>e) Cap de les anteriors</li></ul>  |
| <p><b>3.1</b></p> <ul style="list-style-type: none"><li>a) 4 agrupacions de 2 uns</li><li>b) 2 agrupacions de 2 uns i 1 de 4 uns</li><li>c) 1 agrupació de 8 uns</li><li>d) 1 agrupació de 4, 1 de 2 i 2 d'un u</li><li>e) Cap de les anteriors</li></ul>  | <p><b>4.1</b></p> <ul style="list-style-type: none"><li>a) 0</li><li>b) <math>\Delta</math></li><li>c) <math>2\Delta</math></li><li>d) <math>3\Delta</math></li><li>e) Cap de les anteriors</li></ul>   |
| <p><b>3.2</b></p> <ul style="list-style-type: none"><li>a) Únicament 1 XOR</li><li>b) Únicament 2 AND i 1 OR</li><li>c) Únicament 2 OR i 1 AND</li><li>d) Únicament 1 XNOR</li><li>e) Cap de les anteriors</li></ul>   | <p><b>4.2</b></p> <ul style="list-style-type: none"><li>a) Únicament un <i>glitch</i> a <math>Y_2</math></li><li>b) Únicament un <i>glitch</i> a <math>Y_3</math></li><li>c) Un <i>glitch</i> a <math>Y_1</math> i un altre a <math>Y_2</math></li><li>d) Un <i>glitch</i> a <math>Y_1</math> i un altre a <math>Y_3</math></li><li>e) Cap de les anteriors</li></ul> |