

Introducció als Sistemes Digitals

Examen Final. 26 de gener de 2023

EPSEM. Enginyeria de Sistemes TIC - Temps: 2,5 hores.

1 True or false

(3 punts) Indiqueu si les següents afirmacions són CERTES o FALSES.

- Les portes AND i OR consisteixen un conjunt de portes funcionalment complet, ja que és possible realitzar qualsevol funció lògica a partir d'elles.
- La implementació mínima de la funció $F = AB + \bar{B}C$ amb tecnologia NAND (únicament portes NAND) requereix la utilització de 4 portes d'aquest tipus.
- La implementació de la funció $F = \bar{A}\bar{B}\bar{D} + \bar{B}\bar{C}\bar{D} + A\bar{B}CD$ amb un MUX 4:1 utilitzant AB com a entrades selectores (A major pes, B menor pes) es pot fer utilitzant com a portes addicionals únicament una porta NOT i una XNOR.
- En un flip-flop JK on $J = 1$, $K = 1$ i $Q = 1$, quan es produeix un flanc de *clock* ascendent, la sortida \bar{Q} passa a valer 0.
- Els principals inconvenients que presenten els comptadors asíncrons enfront dels síncrons tendeixen a minimitzar-se a mesura que augmenta la freqüència del senyal de rellotge.
- Quan es produeix una operació d'escriptura en una memòria RAM amb bus de dades bidireccional, tots els *buffers tri-state* que connecten les sortides Q de cada cel·la bàsica de memòria amb el bus de dades han d'estar en estat d'alta impedància.

2 Glitch analysis

(2 punts) Considereu el circuit de la Figura 1, realitzat amb dues portes AND, una OR i una NOT, cadascuna d'elles amb un retard de propagació Δ . Aquest disseny prové de simplificar la funció lògica realitzant dues agrupacions de dos uns en el següent mapa de Karnaugh.

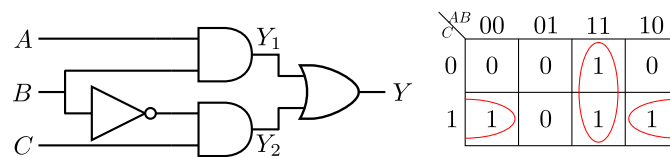


Figura 1

- Determineu el valor de la sortida Y per a $ABC = 111$ i $ABC = 101$.
- Representeu el cronograma dels senyals que apareixen en la figura per a la transició d' $ABC = 111$, que forma part d'una de les agrupacions, a $ABC = 101$, que forma part de l'altra agrupació. Observeu l'aparició d'algun *glitch* en algun dels senyals?
- Realitzeu una tercera agrupació, en principi innecessària, que aconseguir que els valors corresponents a $ABC = 111$ i a $ABC = 101$ formin part de la mateixa agrupació. Dissenyu un nou circuit tenint en compte aquesta nova agrupació i repetiu el cronograma, afegint els senyals necessaris. Discutiu el resultat obtingut.

3 Persistent alarm indicator

(1 punt) Un sensor proporciona una sortida que en condicions normals dona un nivell baix ($A = 0$), i que s'activa quan es produeix una condició d'alarma ($A = 1$). Es demana:

- Fent ús d'un *flip-flop* de tipus D amb entrades *set/reset* asíncrones actives per nivell baix (\bar{S} i \bar{R} , com és el cas dels *flip-flops* del circuit integrat 74HCT74), un LED vermell i resistències de valor estàndard, dissenyeu un circuit que, a partir del senyal A , mantingui indefinidament encès el LED quan s'hagi produït en algun moment, llunyà o recent, una condició d'alarma.
- Doteu la vostra proposta d'un mecanisme que, un cop visualitzada l'alarma per part d'un operari, pugui restablir l'estat del circuit apagant el LED. Dibuixeu l'esquema complet del vostre disseny.

4 Linear-feedback shift register

(1 punt) El circuit de la Figura 2 utilitza un *linear-feedback shift register* per generar una seqüència pseudoaleatòria, concretament del tipus conegut com a seqüència de longitud màxima o seqüència m . Suposant que el circuit parteix de l'estat $Q_0Q_1Q_2 = 111$, determineu la longitud en bits (=període de repetició) de la seqüència així com els valors concrets que apareixeran a la sortida Q_2 al llarg del primer període.

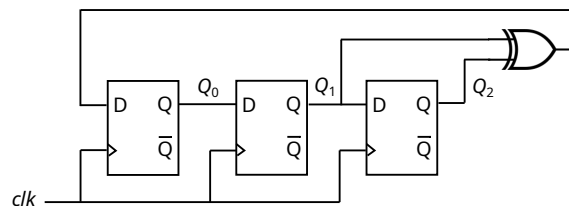


Figura 2

5 Pattern recognition

(3 punts) Es vol dissenyar una màquina d'estats que respongui activant una sortida $S = 1$ quan a través d'una única entrada de dades In hi aparegui la seqüència de bits corresponent al patró $b_4b_3b_2b_1b_0 = 01011$, essent b_4 el primer bit en aparèixer i b_0 el darrer. Els bits apareixen seqüencialment amb una periodicitat determinada per un senyal de rellotge clk . Es demana:

- Dibuixeu el diagrama d'estats de la màquina assignant a cada estat un codi identificatiu únic, de manera que aquest correspongui amb la codificació binària del nombre de bits analitzats coincidents amb el patró. Per exemple, si la màquina ha verificat que els 3 primers bits analitzats coincideixen amb els 3 primers bits del patró, la màquina es trobarà en l'estat 11 (ó 011, ó 0011, etc., depenent del nombre de bits necessaris per codificar els diferents estats). Indiqueu com els events $In = 0$ i $In = 1$ que poden tenir lloc en cada cicle de rellotge fan evolucionar la màquina.
- Dissenyau el corresponent circuit digital, utilitzant el nombre de *flip-flops* de tipus D i de portes lògiques necessari. A la taula de veritat que heu d'elaborar, podeu prendre com a variable d'entrada, a part de les sortides dels *flip-flops*, la variable In .