

# Introducció als Sistemes Digitals

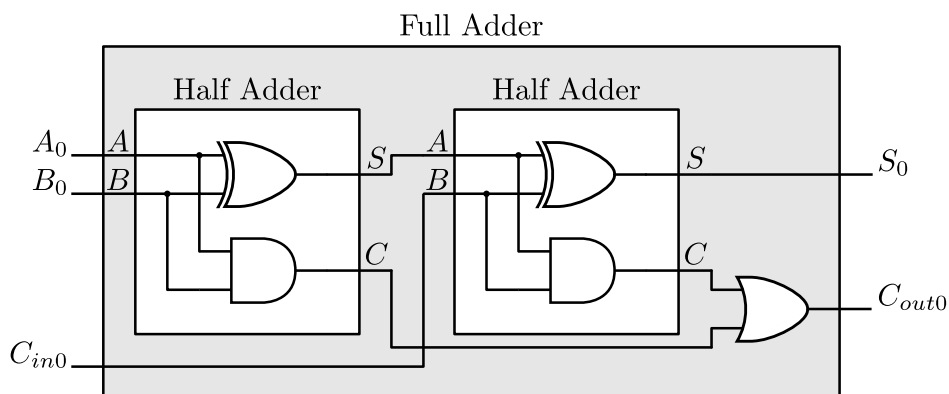
## Prova Final. 18 de gener de 2016

Temps per a la resolució: 3 hores. Publicació de resultats: 29 de gener.

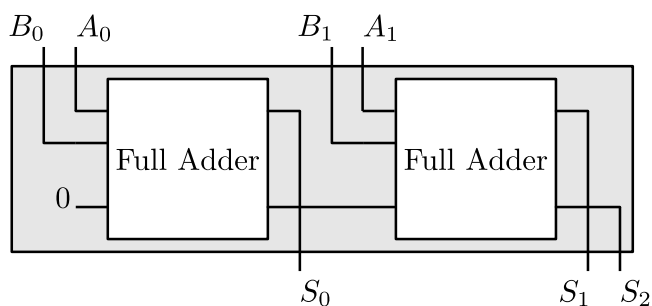
### 1 Propagation delay of an n-bit adder

(16 punts) En aquest exercici compararem el temps de càlcul i el nombre de portes lògiques usades en tres dissenys d'un sumador binari de dos nombres de dos bits cadascun (*2-bit adder*). Considereu un temps de propagació  $\Delta$  per totes les portes lògiques (excepte les NOT que serà zero).

1. (4 punts) Primer considereu la utilització de portes XOR tal i com ho hem fet a classe.
  - a) Per a la següent implementació d'un *full adder* calculeu el temps de propagació (en el pitjor cas) entre els següents nodes del circuit:  $A_0$  a  $S_0$ ,  $A_0$  a  $C_{out0}$ ,  $C_{in0}$  a  $S_0$  i  $C_{in0}$  a  $C_{out0}$ .



- b) Podem implementar un *2-bit adder* amb dos *full adder* com els de l'apartat anterior units de la següent manera.



Considerant el màxim temps de propagació que pot aparèixer entre alguna de les entrades  $A_1B_1A_0B_0$  i alguna de les sortides  $S_2S_1S_0$ , calculeu quin és el temps que heu d'esperar a poder llegir la sortida després de fer un canvi a l'entrada (és a dir, el temps de càlcul per a fer una suma en el pitjor dels casos).

2. (4 punts) En segon lloc considereu una implementació del *full adder* sense XOR.
  - a) Implementeu un *full adder* de dos nivells usat portes AND i OR. Comenceu escrivint la taula de veritat de les sortides  $S_0$  i  $C_{out0}$  en funció de les entrades  $C_{in0}A_0B_0$ .
  - b) Usant aquests *full adder* de dos nivells implementeu un *2-bit adder* i repetiu l'apartat b) de l'exercici anterior.
3. (4 punts) Finalment considereu una implementació directa del *2-bit adder*. Implementeu un *2-bit adder* de dos nivells usat portes AND i OR. Comenceu escrivint la taula de veritat de les sortides  $S_2S_1S_0$  en funció de les entrades  $A_1B_1A_0B_0$ . Repetiu l'apartat b) dels exercicis anteriors.
4. (4 punts) Feu una comparativa dels tres dissenys anteriors basada en el temps de càlcul i en el nombre de portes lògiques usades (de qualsevol nombre d'entrades) ignorant les NOT. Us atreviu a dir què passarà amb un *n-bit adder*?

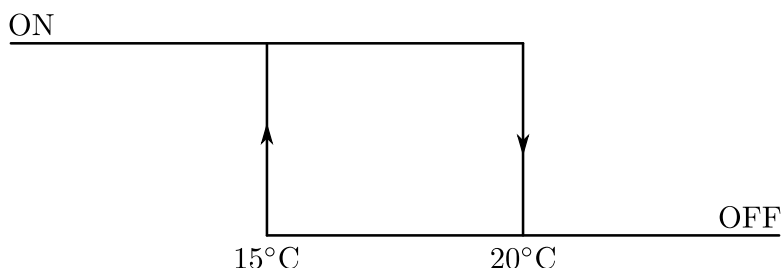
## 2 A special counter: prime numbers

(12 punts) Considereu un comptador que recorri en ordre creixent tots els nombres primers fins 15 com a màxim. Recordeu que l'1 no és nombre primer.

1. (6 punts) Dissenyeu aquest comptador usant quatre *flip-flop* de tipus D. Si en el procés de simplificació usant la Taula de Karnaugh teniu diverses alternatives d'igual complexitat considereu la que pot minimitzar els espuris (*glitches*).
2. (6 punts) Feu una representació del diagrama d'estats.
  - a) Considereu tots els estats del 0 al 15.
  - b) Quina serà la seqüència del comptador després de posar a *set* tots els *flip-flop*?
  - c) Si en el diagrama d'estats anterior algun estat queda isolat (no acaba anant a un nombre primer) fes els canvis necessaris per evitar-ho.

### 3 Regulating the temperature with a comparator with hysteresis

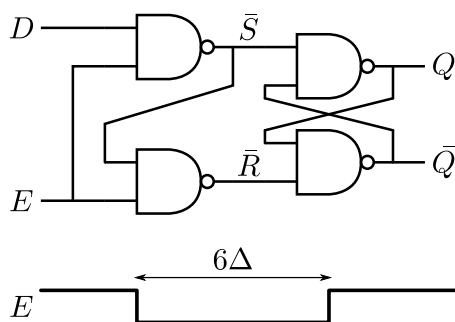
(12 punts) Us proposeu regular la temperatura  $T$  d'un habitacle. Disposeu de dos senyals provinents d'un sensor de temperatura. El senyal  $A=0$  si  $T < 15^\circ\text{C}$  i  $A=1$  si  $T > 15^\circ\text{C}$  i el senyal  $B=0$  si  $T < 20^\circ\text{C}$  i  $B=1$  si  $T > 20^\circ\text{C}$ . També disposeu d'un sistema per escalfar l'habitacle controlat per un senyal  $Y$ : quan  $Y=0$  el sistema està ON, i quan  $Y=1$  el sistema està OFF. El vostre objectiu és que per a  $T < 15^\circ\text{C}$  el sistema estigui ON, per a  $T > 20^\circ\text{C}$  el sistema estigui OFF i per a  $15^\circ\text{C} < T < 20^\circ\text{C}$  mantingui l'estat anterior.



- (3 punts) Escriviu la taula de veritat de la sortida  $Y$  en funció de les entrades  $A$  i  $B$ .
- (3 punts) Escriviu la taula de veritat d'un *latch* SR: la sortida  $Q$  en funció de les entrades  $S$  i  $R$ .
- (3 punts) Implementeu aquest sistema usant un *latch* SR.
- (3 punts) Què passaria si el sensor funcionés incorrectament, de manera que el senyal  $A$  sempre valgués zero? Diferencieu la implementació del *latch* SR amb portes NOR i amb portes NAND.

### 4 Some more problems

- (6 punts) Representeu el cronograma dels senyals  $\bar{S}$ ,  $\bar{R}$ ,  $Q$  i  $\bar{Q}$  quan  $D = 1$ . Primer ignoreu l'existència de retard i després considereu un temps de propagació  $\Delta$  per a totes les portes.



- (4 punts) Ring counters are counters of low complexity created using a shift register constructed with D-type flip-flop. The output of the last flip-flop is fed to the input of the first flip-flop. Doing an straight connection we obtain the basic ring counter (also known as straight ring counter or Overbeck counter). Adding an inverter in the feedback path we obtain the Johnson counter. Comment on the advantages and disadvantages of these two counters. Use as many (technical) words in English as you can.