

Circuits i Sistemes Lineals

Exercicis Tema 2

Enginyeria de Sistemes TIC (iTIC)
EPSEM - UPC

Pere Palà
Rosa Giralt

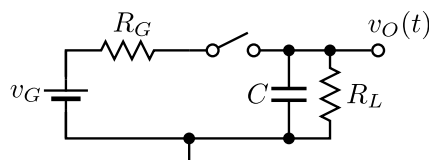
Octubre de 2012

Sobre la dificultat dels exercicis: Els exercicis sense cap indicació són simples exercicis d'aplicació de coneixements. Els que requereixen alguna aportació extra, s'identifiquen amb un o més símbols "★". A més símbols, major dificultat conceptual.

2 Circuit transformat de Laplace

Els exercicis d'aquest tema es basaran en l'anàlisi de circuits en el domini transformat. Cal agafar agilitat en transformar el circuit, analitzar-lo, buscar la sortida en el domini transformat i fer la seva transformada inversa. També és convenient saber com és la seva forma. També treballarem altres aspectes com per exemple buscar impedàncies equivalents de circuits.

EXERCICI 2.1 [Switch On i Off] En el circuit de la figura, l'interruptor ha estat obert des de fa molt de temps i es tanca en un instant que anomenem $t = 0$.



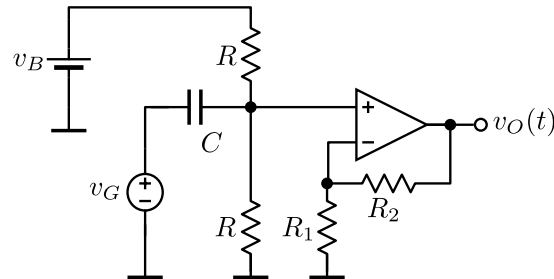
- Calculeu i representeu gràficament $v_O(t)$.
- Quant de temps tarden en establitzar-se tots els senyals?
- Una vegada establitzats tots els senyals, l'interruptor torna a obrir-se. Calculeu i representeu gràficament $v_O(t)$.

EXERCICI 2.2 [Switch On i Off periòdic ★]

En el circuit de l'exercici 2.1, $R_G = R_L = 2 \text{ k}\Omega$, $C = 1 \mu\text{F}$ i el condensador està descarregat a $t = 0$. L'interruptor es tanca durant 1 ms. Després s'obre i roman obert durant 1 ms. Aquest procés es repeteix indefinidament.

- a. Calculeu la seqüència de valors que pren v_O cada vegada que es tanca l'interruptor ($t = 0$, $t = 2$ ms, $t = 4$ ms, ...). A quin valor tendeix?
- b. A quina forma d'ona tendeix $v_O(t)$?

EXERCICI 2.3 [AO] En el circuit de la figura, els dos generadors han estat desactivats ($v = 0$) per $t < 0$. A partir de $t = 0$, $v_B = 5$ V i $v_G(t) = A \cos(2\pi f_0 t)$, amb $A = 2$ V i $f_0 = 1$ kHz.



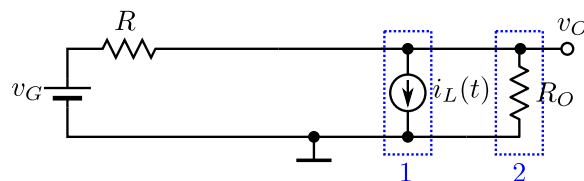
Sabent que $R = R_1 = 10$ k Ω , que $R_2 = 2R_1$ i que $C = 1$ μ F, calculeu i representeu gràficament $v_O(t)$.

EXERCICI 2.4 [Alimentació \star] La font d'alimentació que fem servir per alimentar molts circuits hauria de proporcionar una tensió constant a tots els elements que hi ha connectats, independentment del corrent que absorbeixen. Malauradament, a la pràctica, les coses no sempre són tan ideals, i aquest exercici vol posar-ho de manifest.

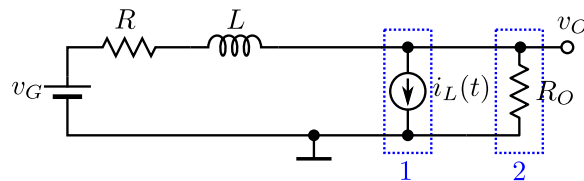
Fins i tot considerant la font de tensió ideal, hi ha alguns problemes:

- a. Considerem el circuit de la figura, on v_G modela la nostra font d'alimentació i R modela la resistència dels cables que van des de la font fins al circuit, format per dos elements que s'han d'alimentar, representats per capses etiquetades amb "1" i "2". Considerem que la capsa "1" pràcticament no absorbia corrent fins a l'instant t_0 , quan absorbeix un corrent de 50 mA durant 10 ns i posteriorment torna a absorbir un corrent pràcticament despreciable. És a dir, $i_L(t)$ és el que s'anomena un pols rectangular de durada 10 ns i amplitud 50 mA.

Considerant $R = 1$ Ω , $R_O = 500$ Ω i $v_G = 5$ V, calculeu i representeu gràficament $v_O(t)$. Raoneu quins efectes pot tenir el consum sobtat de la càrrega "1" sobre la càrrega "2".

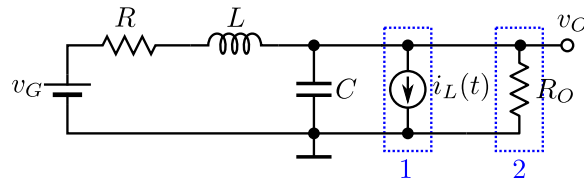


- b. Un model més acurat del cablejat necessàriament ha de tenir en compte la inductància dels cables. Considereu ara el model de la figura següent:



Si $L = 20$ nH i la resta d'elements són com a l'apartat anterior, calculeu i representeu gràficament $v_O(t)$. Per fer els càlculs, preneu orígens de temps nous a cada transició i tingueu en compte les condicions inicials (també la condició inicial quan comença el pols de $i(t)$). Finalment, raoneu igualment sobre els possibles efectes a la càrrega "2".

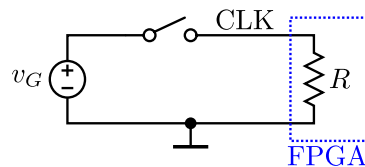
- c. Si considerem, a més, un possible efecte capacitiu (degut, per exemple, a la capacitat paràsita entre els terminals de la càrrega "1"), un model equivalent del circuit seria el que es mostra a continuació:



Repetiu els enunciats anteriors sobre aquest circuit, considerant que $C = 10$ pF i que la resta d'elements són com als apartats anteriors.

- d. Fins ara tots els elements que hem anat incloent al nostre circuit equivalent modelen efectes paràsits del cablejat i del muntatge. Fent servir el simulador `qucs`, esbrineu què passa si incrementem deliberadament el valor de C i raoneu per què es considera una bona praxis incloure un condensador de 100 nF en paral·lel amb les alimentacions de cada circuit integrat d'un muntatge.

EXERCICI 2.5 [Capacitat paràsita d'un polsador] Per què no es pot fer servir un polsador per interrompre el senyal de clock per a una FPGA?



En una primera aproximació, els pins d'entrada d'una FPGA poden considerar-se com una resistència de valor elevat. El generador $v_G(t)$ dóna un senyal quadrat de període T (i moltes FPGA admeten freqüències de clock properes a 500 MHz). Quan el polsador està tancat, el senyal de clock coincideix amb $v_G(t)$. Quan el polsador està obert, presenta una resistència molt gran, però també una capacitat paràsita de l'ordre de les desenes de pF.

- Si el generador és de freqüència 1 MHz, calculeu la forma d'ona de CLK en aquestes condicions i feu algun comentari.
- Esbrineu si el fet de posar un condensador entre el pin CLK i el node de referència podria resoldre els problemes.
- Quina és la forma correcta d'inhabilitar un clock en un disseny amb FPGA?

EXERCICI 2.6 [Multiplicador de C] Calculeu la impedància d'entrada del circuit de la figura. Té alguna utilitat?

